


SEMICONDUCTOR STORAGE DEVICE

Patent Number: JP10222985
Publication date: 1998-08-21
Inventor(s): SATO YOICHI; MIZUKAMI MASAO
Applicant(s): HITACHI LTD.; HITACHI VLSI ENG CORP
Requested Patent:  JP10222985
Application Number: JP19980074916 19980309
Priority Number(s):
IPC Classification: G11C11/412; G11C11/419
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To reduce a write current of a static RAM and stabilize a write operation exclusively using an input/output node of the latch of the memory cell for the input node or output node by simplifying the data line forming the memory array and isolating the write path and read path. **SOLUTION:** The corresponding data line Dq is coupled, via the write row selection control MOSFETQ52, to the input node of the latch formed by cross-connection of a couple of CMOS inverter circuits N18 and N19. Moreover, the output node of latch is coupled to the corresponding data line Dq via the read row selection control MOSFETQ53. The gate of the write row selection control MOSFETQ52 is coupled to the corresponding write word line WXwp, while the gate of the read row selection control MOSFETQ52 is coupled to the corresponding read word line WXrp. Thereby, a drive capability of the inverter circuit can be lowered to stabilize the write operation.

Data supplied from the esp@cenet database - 12

5

(19)日本国特許庁(JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平 10 - 2 2 2 9 8 5

(43)公開日 平成10年(1998)8月21日

(51)Int. Cl.⁶

識別記号

F I

G 1 1 C 11/412
11/419

G 1 1 C 11/40 3 0 1
11/34 3 1 1

審査請求 有 請求項の数 6

F D

(全 2 8 頁)

(21)出願番号 特願平10-74916
(62)分割の表示 特願平1-7146の分割
(22)出願日 平成1年(1989)1月13日

(71)出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地
(71)出願人 000233468
日立超エル・エス・アイ・エンジニアリン
グ株式会社
東京都国分寺市東恋ヶ窪三丁目1番地1
(72)発明者 佐藤 陽一
東京都小平市上水本町5丁目20番1号 日立
超エル・エス・アイ・エンジニアリング株
式会社内
(74)代理人 弁理士 徳若 光政

最終頁に続く

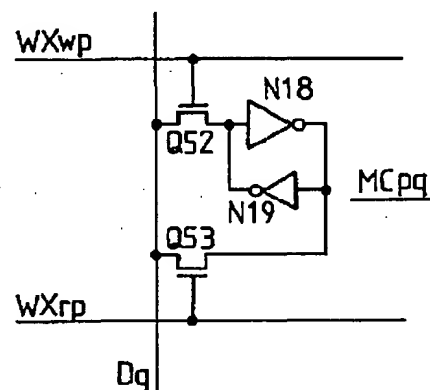
(54)【発明の名称】 半導体記憶装置

(57)【要約】

【課題】 低消費電力化及びレイアウト所要面積の縮小を図ったスタティック型RAM等の半導体記憶装置と、これに適した各種のメモリアレイ及びシングルエンド型センスアンプを提供する。

【解決手段】 複数対からなる書き込み用ワード線及び読み出し用ワード線との複数からなるデータ線との交点に格子状に配置される複数からなるメモリセルとして、一対のインバータ回路の入力と出力とが交差接続されるラッチを記憶手段とし、上記ラッチの一方の入出力ノードと対応する上記データ線との間にそのゲートが対応する上記書き込み用ワード線に結合される第1のMOSFETと、上記ラッチの他方の入出力ノードと対応する上記データ線との間にゲートが対応する上記読み出し用ワード線に結合される第2のMOSFETとを設ける。

図 7



【特許請求の範囲】

【請求項1】 複数からなるワード線と、
上記複数からなるワード線と直交して配置される複数からなるデータ線と、
上記データ線に対応してそれと平行に延長される複数からなるYワード線と、
上記複数ワード線と複数からなるデータ線及びYワード線との交点に格子状に配置される複数からなるメモリセルを含むメモリアレイを具備し、
上記メモリセルのそれぞれは、
一対のインバータ回路の入力と出力とが交差接続されるラッチと、
上記ラッチの一方の入出力ノードと対応する上記データ線との間に設けられそのゲートが対応する上記ワード線に結合される第1のMOSFETと、
上記ラッチの一方の入出力ノードと対応する上記データ線との間に上記第1のMOSFETと直列形態に設けられ、そのゲートが対応する上記Yワード線に結合される第2MOSFETとを含むものであることを特徴とする請求項1の半導体記憶装置。

【請求項2】 複数対からなる書き込み用ワード線及び読み出し用ワード線と、
上記複数対からなる書き込み用ワード線及び読み出し用ワード線と直交して配置される複数からなるデータ線と、
上記複数対からなるワード線と複数からなるデータ線との交点に格子状に配置される複数からなるメモリセルを含むメモリアレイを具備し、
上記メモリセルのそれぞれは、
一対のインバータ回路の入力と出力とが交差接続されるラッチと、
上記ラッチの一方の入出力ノードと対応する上記データ線との間に設けられそのゲートが対応する上記書き込み用ワード線に結合される第1のMOSFETと、
上記ラッチの他方の入出力ノードと対応する上記データ線との間に設けられそのゲートが対応する上記読み出し用ワード線に結合される第2のMOSFETからなることを特徴とする半導体記憶装置。

【請求項3】 複数対からなる書き込み用ワード線及び読み出し用ワード線と、
上記複数対からなる書き込み用ワード線及び読み出し用ワード線と直交して配置される複数対からなる書き込み用データ線及び読み出し用データ線と、
上記書き込み用データ線及び読み出し用データ線に対応してそれと平行に延長される複数対からなる書き込み用Yワード線及び読み出し用Yワード線と、
上記複数対からなるワード線と複数対からなるデータ線及び複数対からなるYワード線との交点に格子状に配置される複数からなるメモリセルを含むメモリアレイを具備し、

上記メモリセルのそれぞれは、
一対のインバータ回路の入力と出力とが交差接続されるラッチと、
上記ラッチの一方の入出力ノードと対応する上記書き込み用データ線との間に設けられそのゲートが対応する上記書き込み用ワード線に結合される第1のMOSFETと、
上記ラッチの一方の入出力ノードと対応する上記書き込み用データ線との間に設けられ、上記第1のMOSFETと直列形態にされてそのゲートが対応する上記書き込み用Yワード線に結合される第2のMOSFETと、
上記ラッチの他方の入出力ノードと対応する上記読み出し用データ線との間に設けられそのゲートが対応する上記読み出し用ワード線に結合される第4のMOSFETと、
上記ラッチの他方の入出力ノードと対応する上記読み出し用データ線との間に設けられ、上記第3のMOSFETと直列形態にされてそのゲートが対応する上記読み出し用Yワード線に結合される第4のMOSFETとからなることを特徴とする半導体記憶装置。

【請求項4】 複数対からなる書き込み用ワード線及び読み出し用ワード線と、
上記複数対からなる書き込み用ワード線及び読み出し用ワード線と直交して配置される複数からなるデータ線と、
上記データ線に対応してそれと平行に延長される複数からなるYワード線と、
上記複数対からなるワード線と複数からなるデータ線及び複数からなるYワード線との交点に格子状に配置される複数からなるメモリセルを含むメモリアレイを具備し、
上記メモリセルのそれぞれは、
一対のインバータ回路の入力と出力とが交差接続されるラッチと、
対応するデータ線に一端が接続され、ゲートが対応するYワード線に結合された第1のMOSFETと、
上記第1のMOSFETの他端と上記ラッチの一方の入出力ノードとの間に設けられそのゲートが対応する上記書き込み用ワード線に結合される第2のMOSFETと、
上記第1のMOSFETの他端と上記ラッチの他方の入出力ノードとの間に設けられそのゲートが対応する上記読み出し用ワード線に結合される第3のMOSFETとからなることを特徴とする半導体記憶装置。

【請求項5】 複数対からなる書き込み用ワード線及び読み出し用ワード線と、
上記複数対からなる書き込み用ワード線及び読み出し用ワード線と直交して配置される複数からなるデータ線と、

上記複数対からなるワード線と複数からなるデータ線と

の交点に格子状に配置される複数からなるメモリセルを含むメモリアレイを具備し、
上記メモリセルのそれぞれは、
一対のインバータ回路の入力と出力とが交差接続されてなるラッチと、

上記ラッチの一方の入出力ノードの信号がゲートに供給され、ソースが接地された増幅MOSFETと、
上記増幅MOSFETのドレインと上記データ線との間に設けられ、ゲートが上記読み出し用ワード線に結合された第1のMOSFETと、
上記ラッチの他方の入出力ノードと上記データ線との間に設けられ、ゲートが上記書き込み用ワード線に結合された第2のMOSFETとからなることを特徴とする半導体記憶装置。

【請求項6】 複数対からなる書き込み用ワード線及び読み出し用ワード線と、

上記複数対からなる書き込み用ワード線及び読み出し用ワード線と直交して配置される複数対からなる書き込み用データ線及び読み出し用データ線と、

上記複数対からなるワード線と複数からなるデータ線との交点に格子状に配置される複数からなるメモリセルを含むメモリアレイを具備し、

上記メモリセルのそれぞれは、
一対のインバータ回路の入力と出力とが交差接続されてなるラッチと、

上記ラッチの一方の入出力ノードの信号がゲートに供給され、ソースが接地された増幅MOSFETと、
上記増幅MOSFETのドレインと上記読み出し用データ線との間に設けられ、ゲートが上記読み出し用ワード線に結合された第1のMOSFETと、

上記ラッチの他方の入出力ノードと上記書き込み用データ線との間に設けられ、ゲートが上記書き込み用ワード線に結合された第2のMOSFETとからなることを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、半導体記憶装置に関するもので、例えば、大規模論理集積回路装置等に搭載されるオンチップのスタティック型RAM（ランダム・アクセス・メモリ）等に利用して特に有効な技術に関するものである。

【0002】

【従来の技術】 メモリアレイ及び周辺回路をCMOS（相補型MOS）により構成することで、動作の高速化と低消費電力化を図ったCMOSスタティック型RAMがあり、またこのようなスタティック型RAMを搭載する論理集積回路装置がある。

【0003】 上記スタティック型RAMにおいて、メモリアレイを構成するメモリセルのそれぞれは、例えば図19のメモリセルMC00に代表して示されるように、

一対のCMOSインバータ回路N30及びN31が交差接続されてなる（ここで、例えばインバータ回路N30の入力端子がインバータ回路N31の出力端子に結合され、同時にインバータ回路N30の出力端子がインバータ回路N31の入力端子に結合される状態を“インバータ回路N30及びN31が交差接続されてなる”のように略する。以下同様）ラッチと、これらのラッチの一対の入出力ノードと対応する相補データ線 $D0 \cdot / D0 \sim Dn \cdot / Dn$ との間に設けられそれぞれのゲートが対応するワード線 $WX0 \sim WXm$ に共通結合される一対の行選択制御MOSFETQ86及びQ87を含む。各メモリセルは、対応するワード線 $WX0 \sim WXm$ が択一的にハイレベルとされることで、行単位すなわち $n+1$ 個単位で共通選択され、そのうちの1個が、カラムスイッチCSWを介して、相補共通データ線 $CD \cdot / CD$ に択一的に接続される。

【0004】 つまり、このスタティック型RAMでは、最終的に指定された1個のメモリセルだけが選択されるにもかかわらず、ワード線の選択動作が行われる時点で、同一の行に配置される $n+1$ 個のメモリセルが一斉に選択状態とされる。このとき、すべての相補データ線 $D0 \cdot / D0 \sim Dn \cdot / Dn$ には、選択されたメモリセルの保持データに対応する読み出し電流が流される。このため、特に複数ビットの記憶データを同時に入出力するいわゆる多ビット構成のスタティック型RAMにおいて、低消費電力化を妨げる一因となっている。

【0005】 図20には、上記スタティック型RAMの低消費電力化を図る一つ的手段として提案された単一選択型メモリアレイの回路図が部分的に示されている。インバータ回路N30及びN31からなるラッチの一対の入出力ノードと対応する相補データ線 $Dq \cdot / Dq$ との間には、上記行選択制御MOSFETQ86及びQ87と直列形態に、列選択制御MOSFETQ88及びQ89が設けられる。MOSFETQ86及びQ87のゲートは、対応するXワード線 WXp 等に共通結合され、ロウアドレスに従った行単位の選択を受ける。同様に、MOSFETQ88及びQ89のゲートは、対応するYワード線 WYq 等に共通結合され、カラムアドレスに従った列単位の選択を受ける。その結果、上記ロウアドレスならびにカラムアドレスによって指定される1個のメモリセルのみが、対応する相補データ線 $Dq \cdot / Dq$ 等に択一的に結合され、スタティック型RAMの読み出し電流が著しく削減される。上記単一選択型メモリアレイを有するスタティック型RAMについては、例えば、特公昭60-8553号公報等に記載されている。

【0006】

【発明が解決しようとする課題】 論理集積回路装置が大規模化され高性能化されるのにもなって、これに搭載されるスタティック型RAMが大容量化され、また多ポート化される傾向にある。本願発明者等も、図21に示

される2ポートRAMのメモリアレイを開発し、さらにこのメモリアレイをもとに、図22に示される単一選択型のメモリアレイを考えた。ところが、このメモリアレイでは、メモリセルあたり合計12個のMOSFETが必要となり、また列あたり合計6本の相補データ線 $Dwq \cdot / Dwq$ 及び $Drq \cdot / Drq$ ならびにYワード線 $WYwq$ 及び $WYrq$ 等が必要となる。その結果、メモリアレイのレイアウト所要面積が増大し、スタティック型RAMのチップが大型化する。

【0007】これに対処するため、上記特公昭60-8553号公報では、さらに、相補データ線 $Dwq \cdot / Dwq$ 及び $Drq \cdot / Drq$ 等を隣接する2列のメモリセルで共有し、また行選択制御MOSFET $Q90 \sim Q93$ を隣接する列に配置された2個のメモリセルで共有する方法が提案されている。しかし、この方法を採用したとしても、依然メモリセルあたり10個のMOSFETが必要であり、また列あたり4本の信号線が必要である。そこで、本願発明者等は、さらにメモリアレイを構成するデータ線の単一線化を考えたが、これに適合しうる効果的なシングルエンド型センスアンプがなかった。このため、スタティック型RAMのレイアウト所要面積が思うように縮小されず、スタティック型RAMを搭載する論理集積回路装置等の低コスト化が制限される結果となった。

【0008】この発明の目的は、低消費電力化及びレイアウト所要面積の縮小を図ったスタティック型RAM等の半導体記憶装置を提供し、これに適した各種のメモリアレイ及びシングルエンド型センスアンプを提供することにある。この発明の他の目的は、スタティック型RAMを搭載する大規模論理集積回路装置等の低消費電力化及び低コスト化を図ることにある。この発明の前記ならびにその他の目的と新規な特徴は、この明細書の記述及び添付図面から明らかになるであろう。

【0009】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、スタティック型RAM等のメモリアレイを構成するデータ線を単一化し、これらのデータ線が選択的に接続されるセンスアンプをシングルエンド型とする。また、上記メモリアレイを単一選択型とし、データ線を隣接する2列のメモリセルで共有するとともに、行選択制御MOSFETを隣接する列に配置される2個のメモリセルで共有する。さらに、シングルエンド型のセンスアンプを、電流ミラー型のセンス回路を基本に構成し、共通データ線に結合される上記センス回路の非反転入力ノードとその反転入力ノードとの間に、共通データ線のチャージシェア後のレベルを一時的に伝達する短絡手段を設ける。

【0010】上記した手段によれば、スタティック型RAMの読み出し電流を著しく削減しつつ、メモリアレイ

の列あたりの所要信号線数を削減し、またメモリセルあたりの所要MOSFET数を削減できる。また、データ線の単一化に適合しかつ安定動作しうるシングルエンド型のセンスアンプを実現し、スタティック型RAM等のデータ線の単一化を推進できる。その結果、スタティック型RAMの低消費電力化及びレイアウト所要面積の縮小を図り、スタティック型RAMを搭載する大規模論理集積回路装置等の低消費電力化及び低コスト化を図ることができる。

【0011】

【発明の実施の形態】図3には、この発明が適用されたスタティック型RAMの一実施例のブロック図が示されている。また、図1には、図3のスタティック型RAMのメモリアレイMARY及びカラムスイッチCSWの一実施例の回路図が示され、図2には、センスアンプSA及びライトアンプWAの一実施例の回路図が示されている。さらに、図4には、図3のスタティック型RAMの読み出し動作の一実施例のタイミング図が示されている。これらの図に従って、この実施例のスタティック型RAMの構成と動作の概要ならびにその特徴を説明する。

【0012】なお、このスタティック型RAMは、特に制限されないが、例えばデジタル処理システム等の大規模論理集積回路装置に搭載される。図1及び図2に示される各回路素子ならびに図3の各ブロックを構成する回路素子は、大規模論理集積回路装置の図示されない他の回路素子とともに、特に制限されないが、単結晶シリコンのような1個の半導体基板上において形成される。以下の図において、チャンネル（バックゲート）部に矢印が付加されるMOSFETはPチャンネル型（第2導電型）であり、矢印の付加されないNチャンネル型（第1導電型）のMOSFETと区別して示される。記号に付された／は、論理記号のオーバーバーを表している。

【0013】図3において、この実施例のスタティック型RAMは、特に制限されないが、2ポートRAMとされ、その二つのアクセスポートは、それぞれ書き込みポート及び読み出しポートとして専用化される。このうち、書き込みポートには、特に制限されないが、論理集積回路装置の図示されない前段回路から、起動制御信号となる書き込みクロック信号CWが供給され、さらに入力データ D_{in} 及び $k+1$ ビットの書き込みアドレス信号 $AW0 \sim AWk$ が供給される。同様に、読み出しポートには、特に制限されないが、上記前段回路から、起動制御信号となる読み出しクロック信号CRが供給され、さらに $k+1$ ビットの読み出しアドレス信号 $AR0 \sim ARk$ が供給される。読み出しポートから出力される読み出し信号は、出力データ out として、論理集積回路装置の図示されない後段回路に供給される。

【0014】スタティック型RAMは、特に制限されないが、その大半のレイアウト面積を占めて配置されるメ

モリアレイMARY及びカラムスイッチCSWを基本構成とする。また、特に制限されないが、上記書き込みポートに対応して設けられる書き込み用アドレスバッファABWと書き込み用XアドレスデコーダXADW及び書き込み用YアドレスデコーダYADWならびにライトアンプWA及びデータ入力バッファDIBを備え、上記読み出しポートに対応して設けられる読み出し用アドレスバッファABRと読み出し用XアドレスデコーダXADR及び読み出し用YアドレスデコーダYADRならびにセンサアンプSA及びデータ出力バッファDOBを備える。

【0015】モリアレイMARYは、特に制限されないが、図1に示されるように、水平方向に平行して配置される $m+1$ 本の書き込み用Xワード線 $WXw0 \sim WXwm$ （第1のXワード線）及び読み出し用Xワード線 $WXr0 \sim WXrm$ （第2のXワード線）を含み、また垂直方向に平行して配置される $(n+1)/2$ 本の書き込み用データ線 $Dw1$ ないし Dwn （第1のデータ線）と $n+1$ 本の読み出し用データ線 $Dr0 \sim Drn$ （第2のデータ線）及び書き込み用Yワード線 $WYw0 \sim WYwn$ （第1のYワード線）とを含む。

【0016】上記Xワード線ならびに上記データ線及びYワード線の交点には、 $(m+1) \times (n+1)$ 個のスタティック型メモリセル $MC00 \sim MC0n$ ないし $MCm0 \sim MCmn$ が格子状に配置される。言うまでもなく、上記書き込み用Xワード線 $WXw0 \sim WXwm$ と書き込み用Yワード線 $WYw0 \sim WYwn$ ならびに書き込み用データ線 $Dw1$ ないし Dwn はスタティック型RAMの書き込みポートに対応し、上記読み出し用Xワード線 $WXr0 \sim WXrm$ ならびに読み出し用データ線 $Dr0 \sim Drn$ はスタティック型RAMの読み出しポートに対応する。この実施例において、上記書き込み用データ線及び読み出し用データ線は、それぞれ単一化される。その結果、スタティック型RAMのメモリセルが簡素化され、メモリアレイの列あたりの所要信号線数が削減されるものとなる。

【0017】モリアレイMARYを構成する各メモリセルMCは、特に制限されないが、図1のメモリセル $MC00$ 及び $MC01$ に代表して示されるように、一対のCMOSインバータ回路N1及びN2あるいはN3及びN4が交差接続されてなるラッチを基本構成とする。この実施例において、インバータ回路N1の入力端子及びインバータ回路N2の出力端子の共通結合されたノードは、基本的には入出力兼用ノードであるが、各ラッチの入力ノードとして専用化される。

【0018】同様に、インバータ回路N1の出力端子とインバータ回路N2の入力端子の共通結合されたノードは、基本的には入出力兼用ノードであるが、各ラッチの出力ノードとして専用化される。さらに、その出力端子が各ラッチの上記入力ノードに結合されるインバータ回

路N2及びN4は、他方のインバータ回路N1又はN3に比較して小さな駆動能力を持つように設計される。その結果、メモリセルに対する書き込み経路及び読み出し経路が分離され、スタティック型RAMの書き込み電流が削減されるとともに、書き込み動作の安定化が図られる。

【0019】各ラッチの入力ノードは、書き込み用の列選択制御MOSFETQ35又はQ38（第15のMOSFET）に結合され、さらに書き込み用の行選択制御MOSFETQ39（第12のMOSFET）を介して、対応する書き込み用データ線 $Dw1$ ないし Dwn に結合される。上記行選択制御MOSFETQ39のゲートは、対応するXワード線 $WXw0 \sim WXwm$ にそれぞれ共通結合され、列選択制御MOSFETQ35及びQ38のゲートは、対応するYワード線 $WYw0 \sim WYwn$ にそれぞれ共通結合される。

【0020】つまり、この実施例のモリアレイMARYでは、メモリセルが書き込みポートにおいて択一的に選択され、いわゆる単一選択方式とされる。また、書き込み用データ線 $Dw1$ ないし Dwn が隣接する2列のメモリセルによって共有され、行選択制御MOSFETQ39がそれぞれ隣接する列に配置される2個のメモリセルによって共有される。その結果、スタティック型RAMのメモリセルがさらに簡素化されるとともに、列方向の所要信号線数がさらに削減されるものとなる。

【0021】一方、各ラッチの出力ノードは、読み出し用MOSFETQ34又はQ37（第14のMOSFET）のゲートに結合される。これらのMOSFETQ34及びQ37のソースは回路の接地電位（第1の電源電圧）に結合され、そのドレインは、読み出し用の行選択制御MOSFETQ33又はQ36（第13のMOSFET）を介して、対応する読み出し用データ線 $Dr0 \sim Drn$ （第2のデータ線）にそれぞれ結合される。つまり、この実施例のモリアレイMARYでは、各ラッチの出力ノードが、読み出し用MOSFETQ34又はQ37のゲートを介して、間接的に対応する読み出し用データ線 $Dr0 \sim Drn$ に結合される。その結果、後述するように、読み出し動作にともなうメモリセルの保持データの破損を防止できるため、読み出しデータ線及び読み出し共通データ線のプリチャージレベル等に関する制限が解かれるものとなる。

【0022】モリアレイMARYを構成する書き込み用Xワード線 $WXw0 \sim WXwm$ は、書き込み用XアドレスデコーダXADWに結合され、択一的に選択状態とされる。同様に、モリアレイMARYを構成する読み出し用Xワード線 $WXr0 \sim WXrm$ は、読み出し用XアドレスデコーダXADRに結合され、択一的に選択状態とされる。書き込み用XアドレスデコーダXADWには、図3に示されるように、書き込み用アドレスバッファABWから $i+1$ ビットの内部アドレス信号 $awx0$

10

20

30

40

50

～awxiが供給され、タイミング発生回路TGからタイミング信号φxwが供給される。

【0023】同様に、読み出し用XアドレスデコーダXADRには、読み出し用アドレスバッファABRからi+1ビットの内部アドレス信号arx0～arxiが供給され、タイミング発生回路TGからタイミング信号φxrが供給される。ここで、タイミング信号φxwは、特に制限されないが、通常ロウレベルとされ、書き込みクロック信号CWのハイレベルを受けて書き込みポートが選択状態とされるとき、所定のタイミングでハイレベルとされる。同様に、タイミング信号φxrは、図4に示されるように、通常ロウレベルとされ、読み出し用クロック信号CRのハイレベルを受けて読み出しポートが選択状態とされるとき、所定のタイミングでハイレベルとされる。

【0024】書き込み用XアドレスデコーダXADWは、上記タイミング信号φxwがハイレベルとされることで、選択的に動作状態とされる。この動作状態において、書き込み用XアドレスデコーダXADWは、上記内部アドレス信号awx0～awxiをデコードし、対応する書き込み用Xワード線WXw0～WXwmを択一的にハイレベルの選択状態とする。同様に、読み出し用XアドレスデコーダXADRは、上記タイミング信号φxrがハイレベルとされることで、選択的に動作状態とされる。この動作状態において、読み出し用XアドレスデコーダXADRは、上記内部アドレス信号arx0～arxiをデコードし、対応する読み出し用Xワード線WXr0～WXrmを択一的にハイレベルの選択状態とする。

【0025】書き込み用アドレスバッファABWは、論理集積回路装置の図示されない前段回路から供給されるk+1ビットの書き込みアドレス信号AW0～AWkを取り込み、これを保持する。また、これらの書き込みアドレス信号をもとに、i+1ビットの内部アドレス信号awx0～awxiならびにj+1ビットの内部アドレス信号awy0～awyjを形成する。このうち、内部アドレス信号awx0～awxiは、前述のように、書き込み用XアドレスデコーダXADWに供給され、内部アドレス信号awy0～awyjは、後述する書き込み用YアドレスデコーダYADWに供給される。

【0026】同様に、読み出し用アドレスバッファABRは、論理集積回路装置の図示されない前段回路から供給されるk+1ビットの読み出しアドレス信号AR0～ARkを取り込み、これを保持する。また、これらの読み出しアドレス信号をもとに、i+1ビットの内部アドレス信号arx0～arxiならびにj+1ビットの内部アドレス信号ary0～aryjを形成する。このうち、内部アドレス信号arx0～arxiは、前述のように、読み出し用XアドレスデコーダXADRに供給され、内部アドレス信号ary0～aryjは、後述する

読み出し用YアドレスデコーダYADRに供給される。

【0027】一方、メモリアレイMARYを構成する書き込み用Yワード線WYw0～WYwnは、図1に示されるように、カラムスイッチCSWを経て、書き込み用YアドレスデコーダYADWに結合され、択一的に選択状態とされる。書き込み用YアドレスデコーダYADWには、図3に示されるように、書き込み用アドレスバッファABWからj+1ビットの内部アドレス信号awy0～awyjが供給され、タイミング発生回路TGからタイミング信号φywが供給される。ここで、タイミング信号φywは、通常ロウレベルとされ、書き込みクロック信号CWのハイレベルを受けて書き込みポートが選択状態とされるとき、所定のタイミングでハイレベルとされる。

【0028】書き込み用YアドレスデコーダYADWは、上記タイミング信号φywがハイレベルとされることで、選択的に動作状態とされる。この動作状態において、書き込み用YアドレスデコーダYADWは、上記内部アドレス信号awy0～awyjをデコードし、対応する書き込み用Yワード線WYw0～WYwnを択一的にハイレベルの選択状態とする。

【0029】次に、メモリアレイMARYを構成する書き込み用データ線Dw1ないしDwnは、特に制限されないが、その一方において、対応するPチャンネル型のプリチャージMOSFETQ1を介して回路の電源電圧(第2の電源電圧)に結合され、その他方において、カラムスイッチCSWの対応するスイッチMOSFETQ3・Q41及びQ4・Q42(第1のスイッチ手段)を介して、書き込み用共通データ線CDw(第1の共通データ線)に選択的に接続される。ここで、回路の電源電圧は、特に制限されないが、+5Vのような正の電源電圧とされる。

【0030】プリチャージMOSFETQ1のゲートは共通結合され、タイミング発生回路TGから反転タイミング信号/φpwが供給される。ここで、反転タイミング信号/φpwは、特に制限されないが、書き込みポートが非選択状態とされるときロウレベルとされ、選択状態とされるとき、所定のタイミングでハイレベルとされる。

【0031】プリチャージMOSFETQ1は、書き込みポートが非選択状態とされ上記反転タイミング信号/φpwがロウレベルとされることで選択的にオン状態となり、対応する書き込み用データ線Dw1ないしDwnを回路の電源電圧のようなハイレベルにプリチャージする。書き込みポートが選択状態とされ上記反転タイミング信号/φpwがハイレベルとされるとき、これらのプリチャージMOSFETQ1はオフ状態となる。

【0032】同様に、メモリアレイMARYを構成する読み出し用データ線Dr0～Drnは、特に制限されないが、その一方において、対応するNチャンネル型のプ

リチャージMOSFETQ31又はQ32を介して回路の接地電位に結合され、その他方において、カラムスイッチCSWの対応するスイッチMOSFETQ2・Q40又はQ5・Q43（第2のスイッチ手段）を介して、読み出し用共通データ線CDr（第2の共通データ線）に選択的に接続される。

【0033】プリチャージMOSFETQ31及びQ32のゲートは共通結合され、タイミング発生回路TGからタイミング信号φprが供給される。ここで、タイミング信号φprは、特に制限されないが、図4に示されるように、読み出しポートが非選択状態とされるときは10 ハイレベルとされ、選択状態とされるとき、所定のタイミングでロウレベルとされる。

【0034】プリチャージMOSFETQ31及びQ32は、読み出しポートが非選択状態とされ上記タイミング信号φprが10 ハイレベルとされることで選択的にオン状態となる。その結果、対応する読み出し用データ線Dr0~Drnは、図4に示されるように、回路の接地電位のようなロウレベルにプリチャージされる。読み出しポートが選択状態とされ上記タイミング信号φprがロウレベルとされるとき、これらのプリチャージMOSFETQ31及びQ32はオフ状態となる。

【0035】カラムスイッチCSWは、特に制限されないが、メモリアレイMARYの書き込み用データ線Dw1ないしDwnに対応して設けられ(n+1)/2組の相補スイッチMOSFETQ3・Q41及びQ4・Q42と、読み出し用データ線Dr0~Drnに対応して設けられるn+1個の相補スイッチMOSFETQ2・Q40又はQ5・Q43を含む。このうち、相補スイッチMOSFETQ3・Q41及びQ4・Q42は、各組ごとにそれぞれ共通結合され、さらにその一方はメモリアレイMARYの対応する書き込み用データ線Dw1ないしDwnに結合され、その他方は書き込み用共通データ線CDwに共通結合される。

【0036】MOSFETQ41及びQ42のゲートは、対応する上記書き込み用Yワード線WYw0~WYwnに結合され、MOSFETQ3及びQ4のゲートは、対応するインバータ回路N6及びN7を介して、対応する上記書き込み用Yワード線WYw0~WYwnに結合される。その結果、上記書き込み用データ線Dw1ないしDwnは、対応する書き込み用Yワード線WYw0又はWYw1ないしWYwn-1又はWYwnが択一的に10 ハイレベルとされることを条件に、書き込み用共通データ線CDwに選択的に接続状態とされる。

【0037】ところで、この実施例の書き込みポートでは、メモリセルの入力ノードが択一的に選択されるため、選択動作のみに限って言えば上記のようなカラムスイッチCSWは必要とされない。しかし、すべての書き込み用データ線が書き込み用共通データ線に常時結合されることで、ライトアンプWAに対する負荷が著しく大

きなものとなり、ライトアンプWAは相当の駆動能力を必要とする。このため、この実施例では、上記のような書き込み用のスイッチMOSFETを設けることで、書き込み用データ線と書き込み用共通データ線を選択的に接続し、ライトアンプWAの負荷を軽減し、その所要駆動能力の削減を図っている。

【0038】一方、相補スイッチMOSFETQ2・Q40及びQ5・Q43は、その一方がメモリアレイMARYの対応する読み出し用データ線Dr0~Drnに結合され、その他方が読み出し用共通データ線CDrに共通結合される。MOSFETQ40及びQ43のゲートは、対応する読み出し用Yワード線WYr0~WYrnに結合され、MOSFETQ2及びQ5のゲートは、対応するインバータ回路N5及びN8を介して、対応する上記読み出し用Yワード線WYr0~WYrnに結合される。これらの読み出し用Yワード線WYr0~WYrnは、読み出し用YアドレスデコーダYADRに結合され、択一的に10 ハイレベルの選択状態とされる。その結果、上記読み出し用データ線Dr0~Drnは、対応する読み出し用Yワード線WYr0~WYrnが択一的にハイレベルとされることを条件に、読み出し用共通データ線CDrに選択的に接続状態とされる。

【0039】読み出し用YアドレスデコーダYADRには、図3に示されるように、読み出し用アドレスバッファABRからj+1ビットの内部アドレス信号ary0~aryjが供給され、タイミング発生回路TGからタイミング信号φyrが供給される。ここで、タイミング信号φyrは、特に制限されないが、図4に示されるように、通常ロウレベルとされ、読み出しクロック信号CRの10 ハイレベルを受けて読み出しポートが選択状態とされるとき、上記タイミング信号φxrに先立ってハイレベルとされる。

【0040】読み出し用YアドレスデコーダYADRは、上記タイミング信号φyrがハイレベルとされることで、選択的に動作状態とされる。この動作状態において、読み出し用YアドレスデコーダYADRは、上記内部アドレス信号ary0~aryjをデコードし、対応する上記読み出し用Yワード線WYr0~WYrnを択一的に10 ハイレベルの選択状態とする。

【0041】この実施例のスタティック型RAMにおいて、上記読み出し用データ線Dr0~Drnは、前述のように、読み出しポートが非選択状態とされるとき、回路の接地電位のようなロウレベルにプリチャージされる。また、読み出し共通データ線CDrは、後述するように、読み出しポートが非選択状態とされるとき、Pチャンネル型のプリチャージMOSFETQ8を介して回路の電源電圧のような10 ハイレベルにプリチャージされる。さらに、読み出し用Yワード線WYr0~WYrnは、図4に示されるように、読み出し用Xワード線WXr0~WXrmに先立って、択一的にハイレベルの選択

状態とされる。

【0042】このため、まず、読み出し用Yワード線WYr0~WYrnのいずれかがハイレベルとされ、対応する読み出し用データ線Dr0~Drnと読み出し用共通データ線CDrとが選択的に接続状態とされた時点で、それぞれの寄生容量に応じたチャージシエアが生じる。その結果、接続された読み出し用データ線及び読み出し用共通データ線のレベルが、図4に示されるように、所定のレベルVr（第1のレベル）に落ち着く。そして、読み出し用Xワード線WXr0~WXrmのいずれかがハイレベルとされ対応するメモリセルの出力ノードが上記読み出し用データ線に結合された時点で、その保持データに従った読み出し電流が択一的に流される。

【0043】すなわち、選択されたメモリセルの保持データが論理“1”であると、対応するラッチの出力ノードがハイレベルとされ、読み出し用MOSFETQ34又はQ37がオン状態となる。このため、対応する読み出し用データ線Dr0~Drn及び読み出し用共通データ線CDrのレベルは、図4に実線で示されるように、次第に低くされ、結局回路の接地電位のようなロウレベルとなる。一方、選択されたメモリセルの保持データが論理“0”であると、対応するラッチの出力ノードがロウレベルとされ、読み出し用MOSFETQ34又はQ37はオフ状態のままとされる。このため、対応する読み出し用データ線Dr0~Drn及び読み出し用共通データ線CDrのレベルは、上記チャージシエア後のレベルVrを維持しようとする。

【0044】この実施例では、後述するように、比較的小さなコンダクタンスを有しかつセンスアンプSAが動作状態とされる間継続してオン状態とされるMOSFETQ9が、読み出し用共通データ線CDrと回路の電源電圧との間に設けられる。このため、選択されたメモリセルの保持データが論理“0”である場合、対応する読み出し用データ線Dr0~Drn及び読み出し用共通データ線CDrのレベルは、図4に点線で示されるように、徐々に押し上げられる。その結果、後述するように、スタティック型RAMの読み出し動作が、選択されたメモリセルの保持データの如何にかかわらず安定化されるものとなる。

【0045】ところで、この実施例のメモリアレイMARYでは、読み出し用Xワード線WXr0~WXrmが択一的に選択されるとき、この読み出しXワード線に結合されるn+1個のメモリセルの出力ノードが一斉に対応する読み出し用データ線Dr0~Drnに結合される。これらの読み出し用データ線は、前述のように、カラムスイッチCSWの対応する相補スイッチMOSFETQ2・Q40又はQ5・Q43がオン状態とされることで、読み出し用共通データ線CDrに接続され、チャージシエアによってそのレベルが上昇する。その結果、選択されたメモリセルの保持データに従った読み出し電

流が流される。

【0046】ところが、選択されない他の読み出し用データ線に着目した場合、そのレベルはロウレベルのままとされるため、メモリセルの読み出し用MOSFETQ34又はQ37がオン状態となっても読み出し電流は流されない。つまり、この実施例のメモリアレイMARYは、読み出しポートの行選択がワード線単位で行われいわずに共通選択方式を採るにもかかわらず、実質的に指定された1個のメモリセルのみが選択されるいわゆる単一選択方式とされる。その結果、上記書き込みポートが単一選択方式とされることもあいまって、スタティック型RAMの消費電力が著しく削減されるものとなる。

【0047】図3において、書き込み用共通データ線CDwは、ライトアンプWAの出力端子に結合され、読み出し用共通データ線CDrは、センスアンプSAの入力端子に結合される。ライトアンプWAの入力端子は、データ入力バッファDIBの出力端子に結合され、センスアンプSAの出力端子は、データ出力バッファDOBの入力端子に結合される。データ入力バッファDIBの入力端子には、論理集積回路装置の図示されない前段回路から入力データDinが供給され、データ出力バッファDOBの出力信号は、出力データoutとして論理集積回路装置の図示されない後段回路に供給される。

【0048】ライトアンプWAには、タイミング発生回路TGから、タイミング信号φw及び上述の反転タイミング信号/φpwが供給され、センスアンプSAには、上述のタイミング信号φprが供給される。また、データ出力バッファDOBには、タイミング信号φoeが供給される。ここで、タイミング信号φwは、通常ロウレベルとされ、書き込みポートが選択状態とされるとき、所定のタイミングで一時的にハイレベルとされる。また、タイミング信号φoeは、図4に示されるように、通常ロウレベルとされ、読み出しポートが選択状態とされるとき、他のタイミング信号に遅れてハイレベルとされる。

【0049】データ入力バッファDIBは、スタティック型RAMの書き込みポートが選択状態とされるとき、論理集積回路装置の図示されない前段回路から供給される入力データDinを取り込み、これを保持する。また、この入力データDinをもとに、内部入力データdiを形成し、ライトアンプWAに供給する。

【0050】ライトアンプWAは、特に制限されないが、図2に示されるように、回路の電源電圧及び接地電位間に直列形態に設けられる2個の出力MOSFETQ7及びQ44を基本構成とする。これらのMOSFETQ7及びQ44の共通結合されたドレインは、上記書き込み用共通データ線CDwに結合され、さらにプリチャージMOSFETQ6を介して回路の電源電圧に結合される。このプリチャージMOSFETQ6のゲートには、上記反転タイミング信号/φpwが供給される。

【0051】ライトアンプWAの出力MOSFETQ7のゲートは、ナンドゲート回路NAG1の出力端子に結合され、出力MOSFETQ44のゲートは、ノアゲート回路NOG1の出力端子に結合される。ナンドゲート回路NAG1の一方の入力端子には、上記タイミング信号 ϕw が供給され、ノアゲート回路NOG1の一方の入力端子には、上記タイミング信号 ϕw のインバータ回路N10による反転信号が供給される。ナンドゲート回路NAG1及びノアゲート回路NOG1の他方の入力端子には、上記内部入力データdiのインバータ回路N9による反転信号が共通に供給される。

【0052】スタティック型RAMの書き込みポートが非選択状態とされるとき、上記反転タイミング信号/ ϕpw ならびにタイミング信号 ϕw はともにロウレベルとされる。したがって、ナンドゲート回路NAG1の出力信号は、内部入力データdiに関係なくハイレベルに固定され、ノアゲート回路NOG1の出力信号は、内部入力データdiに関係なくロウレベルに固定される。このため、出力MOSFETQ7及びQ44は、ともにオフ状態となる。このとき、反転タイミング信号/ ϕpw がロウレベルとされることで、プリチャージMOSFETQ6がオン状態となり、書き込み用共通データ線CDwは、回路の電源電圧のようなハイレベルにプリチャージされる。

【0053】スタティック型RAMの書き込みポートが選択状態とされると、まず反転タイミング信号/ ϕpw がハイレベルとされ、続いてタイミング信号 ϕw が所定のタイミングで一時的にハイレベルとされる。ライトアンプWAでは、反転タイミング信号 ϕpw がハイレベルとされることで、プリチャージMOSFETQ6がオフ状態となり、書き込み用共通データ線CDwのプリチャージ動作が停止される。また、タイミング信号 ϕw がハイレベルとされることで、出力MOSFETQ7又はQ44が内部入力データdiに従って相補的にオン状態となり、書き込み用共通データ線CDwが選択的にロウレベル又はハイレベルとされる。

【0054】すなわち、入力データDinが論理“1”とされ、内部入力データdiがハイレベルとされるとき、ライトアンプWAでは、タイミング信号 ϕw がハイレベルとされた時点で、ノアゲート回路NOG1の出力信号がハイレベルとなる。したがって、出力MOSFETQ44がオン状態となり、書き込み用共通データ線CDwが回路の接地電位のようなロウレベルとされる。書き込み用共通データ線CDwのロウレベルは、前述のように、カラムスイッチCSW及び対応する書き込み用データ線Dw1ないしDwnを介して、選択されたメモリセルに伝達される。その結果、対応するラッチの入力ノードがロウレベルとされ、出力ノードがハイレベルとされる。このとき、選択されたメモリセルのラッチを構成するインバータ回路のうちその出力端子が上記入力ノード

ドに結合されるインバータ回路N2は、前述のように、他方のインバータ回路N1に比較して小さな駆動能力を持つように設計される。このため、この実施例のスタティック型RAMでは、メモリセルの書き込みに必要な動作電流が削減され、また書き込み動作の安定化が図られる。

【0055】一方、入力データDinが論理“0”とされ、内部入力データdiがロウレベルとされると、ライトアンプWAでは、タイミング信号 ϕw がハイレベルとされた時点で、ナンドゲート回路NAG1の出力信号がロウレベルとなる。したがって、出力MOSFETQ7がオン状態となり、書き込み用共通データ線CDwが回路の電源電圧のようなハイレベルとされる。書き込み用共通データ線CDwのハイレベルは、同様に、カラムスイッチCSW及び対応する書き込み用データ線Dw1ないしDwnを介して、選択されたメモリセルに伝達される。その結果、対応するラッチの入力ノードがハイレベルとされ、その出力ノードがロウレベルとされる。

【0056】次に、センスアンプSAは、特に制限されないが、図2に示されるように、差動形態とされる一対のMOSFETQ46（第16のMOSFET）及びQ45（第17のMOSFET）を含むセンス回路（差動増幅回路）を基本構成とする。MOSFETQ46及びQ45のドレインと回路の電源電圧との間には、MOSFETQ12（第18のMOSFET）及びQ11（第19のMOSFET）がそれぞれ設けられる。MOSFETQ12のゲートは、そのドレインに結合され、さらにMOSFETQ11のゲートに結合される。これにより、MOSFETQ12及びQ11は、電流ミラー形態とされる。MOSFETQ46及びQ45の共通結合されたソースと回路の接地電位との間には、駆動MOSFETQ47（第20のMOSFET）が設けられる。駆動MOSFETQ47のゲートには、上記タイミング信号 ϕpr のインバータ回路N12による反転遅延信号すなわちタイミング信号 $\phi r1$ が供給される。

【0057】MOSFETQ46のゲートは、このセンス回路の非反転入力ノードniとして、上記読み出し用共通データ線CDrに結合され、特に制限されないが、さらにMOSFETQ8（第23のMOSFET）及びQ9（第22のMOSFET）を介して回路の電源電圧に結合される。このうち、MOSFETQ9のゲートには、上記タイミング信号 ϕpr のインバータ回路N12及びN13による遅延信号すなわち反転タイミング信号/ $\phi r2$ が供給され、MOSFETQ8のゲートには、上記反転タイミング信号/ $\phi r2$ のインバータ回路N14による反転遅延信号すなわちタイミング信号 $\phi r3$ が供給される。この実施例において、MOSFETQ9は、比較的小さなコンダクタンスを持つように設計される。

【0058】センスアンプSAは、さらに上記センス回

路の非反転入力ノード n_i とMOSFETQ45のゲートすなわち反転入力ノード/ n_i との間に設けられる相補スイッチMOSFETQ13・Q48(第1の短絡手段)を含む。このうち、MOSFETQ13のゲートには、上記タイミング信号 ϕr_3 が供給され、MOSFETQ48のゲートには、上記タイミング信号 ϕr_3 のインバータ回路N15による反転信号すなわち反転タイミング信号/ ϕr_4 が供給される。この実施例において、上記タイミング信号 ϕr_1 及び ϕr_3 ならびに反転タイミング信号/ ϕr_2 及び/ ϕr_4 は、図4に示されるような時間関係を持つ。

【0059】すなわち、タイミング信号 ϕr_1 は、タイミング信号 ϕpr をやや遅延して反転した信号とされ、反転タイミング信号/ ϕr_2 は、上記タイミング信号 ϕr_1 をやや遅延して反転した信号とされる。さらに、タイミング信号 ϕr_3 は、上記反転タイミング信号 ϕr_2 をやや遅延して反転した信号とされ、反転タイミング信号/ ϕr_4 は、上記タイミング信号 ϕr_3 をほぼ遅延なく反転した信号とされる。上記相補スイッチMOSFETQ13・Q48は、タイミング信号 ϕr_3 がロウレベルとされ反転タイミング信号/ ϕr_4 がハイレベルとされるとき、ほぼ同時にオン状態となり、センス回路の非反転入力ノード n_i と反転入力ノード/ n_i を短絡する。

【0060】MOSFETQ45及びQ11の共通結合されたドレインは、このセンス回路の非反転出力ノード n_o として、出力インバータ回路N11の入力端子に結合され、さらにプリセットMOSFETQ10(第21のMOSFET)を介して回路の電源電圧に結合される。このMOSFETQ10のゲートには、上記タイミング信号 ϕr_1 が供給される。出力インバータ回路N11の出力信号は、センスアンプSAの出力信号すなわち内部出力データ d_o として、データ出力バッファDOBに供給される。

【0061】この実施例のセンスアンプSAは、特に制限されないが、さらに上記センス回路の非反転出力ノード n_o とMOSFETQ46及びQ12の共通結合されたドレインすなわち反転出力ノード/ n_o との間に設けられる相補スイッチMOSFETQ14・Q49(第2の短絡手段)を含む。このうち、MOSFETQ14のゲートには、上記タイミング信号 ϕr_3 が供給され、MOSFETQ49のゲートには、上記反転タイミング信号/ ϕr_4 が供給される。これにより、相補スイッチMOSFETQ14・Q49は、タイミング信号 ϕr_3 がロウレベルとされ、反転タイミング信号/ ϕr_4 がハイレベルとされるとき、上記相補スイッチMOSFETQ13・Q48と同時にオン状態となり、センス回路の非反転出力ノード n_o と反転出力ノード/ n_o を短絡する。

【0062】スタティック型RAMの読み出しポートが

非選択状態とされ、上記タイミング信号 ϕpr がハイレベルとされるとき、図4に示されるように、タイミング信号 ϕr_1 及び ϕr_3 はロウレベルとされ、反転タイミング信号/ ϕr_2 及び/ ϕr_4 はハイレベルとされる。したがって、センスアンプSAでは、プリチャージMOSFETQ8ならびにプリセットMOSFETQ10がオン状態となり、MOSFETQ9及び駆動MOSFETQ47がオフ状態となる。また、相補スイッチMOSFETQ13・Q48及びQ14・Q49がともにオン状態となり、センス回路の非反転入力ノード n_i と反転入力ノード n_i ならびに非反転出力ノード n_o と反転出力ノード/ n_o が短絡される。

【0063】これにより、センス回路は、非動作状態とされ、その非反転入力ノード n_i すなわち読み出し用共通データ線CD r と非反転出力ノード n_o は、回路の電源電圧のようなハイレベルにプリチャージされる。これらのハイレベルは、上記相補スイッチMOSFETQ13・Q48及びQ14・Q49を介して、センス回路の反転入力ノード/ n_i 及び反転出力ノード/ n_o にも伝達される。センスアンプSAの出力信号すなわち内部出力データ d_o は、センス回路の非反転出力ノード n_o がハイレベルとされることで、ロウレベルとされる。

【0064】スタティック型RAMの読み出しポートが選択状態とされタイミング信号 ϕpr がロウレベルとされるとき、センスアンプSAでは、図4に示されるように、まずやや遅れてタイミング信号 ϕr_1 がハイレベルとされ、さらにやや遅れて反転タイミング信号/ ϕr_2 がロウレベルとされる。また、これにやや遅れてタイミング信号 ϕr_3 がハイレベルとされ、ほぼ同時に反転タイミング信号/ ϕr_4 がロウレベルとされる。ここで、上記タイミング信号 ϕr_1 がハイレベルとされるタイミングは、特に制限されないが、カラムスイッチCSWによる読み出し用データ線の選択動作すなわち列選択動作が開始される直前とされ、タイミング信号 ϕr_3 がハイレベルとされ反転タイミング信号/ ϕr_4 がロウレベルとされるタイミングは、上記読み出し用データ線の選択動作が終了してから読み出し用Xワード線による行選択動作が開始されるまでの間とされる。

【0065】センスアンプSAでは、まず上記タイミング信号 ϕr_1 がハイレベルとされることで、MOSFETQ10がオフ状態となり、駆動MOSFETQ47がオン状態となる。したがって、非反転出力ノード n_o のプリセット動作が停止されるとともに、センス回路が、その非反転出力ノード n_o 及び反転出力ノード/ n_o が短絡されたままの状態、動作状態とされる。このため、センス回路の非反転出力ノード n_o 及び反転出力ノード/ n_o は、ともにほぼ中心レベルまで低下される。これにより、プリチャージMOSFETQ10が設けられることにともなうオフセットが解消され、非反転出力ノード n_o 及び反転出力ノード/ n_o の動作開始直前の

レベルが均一化される。その結果、この実施例のセンス回路は、相補スイッチMOSFETQ14・Q49が付加されない従来のセンス回路に比較して、その動作が安定化され、等価的にスタティック型RAMの読み出し動作が高速化されるものとなる。

【0066】次に、センスアンプSAでは、反転タイミング信号/ $\phi r2$ がロウレベルとされることで、MOSFETQ9がオン状態となる。このMOSFETQ9は、前述のように、比較的小さなコンダクタンスを持つように設計され、またセンス回路が動作状態とされる間、継続してオン状態とされる。その結果、MOSFETQ9は、図4に点線で示されるように、選択されたメモリセルの保持データが論理“0”である場合に、読み出し用共通データ線CDrのレベルを徐々に上昇させ、センス回路の動作を安定化させる作用を持つ。

【0067】ところで、タイミング信号 $\phi r3$ がハイレベルとされ反転タイミング信号/ $\phi r4$ がロウレベルとされるのに先立って、メモリアレイMARY及びカラムスイッチCSWでは、読み出し用Yワード線WYr0～WYrnによる読み出し用データ線Dr0～Drnの選択動作が開始され、指定される1本の読み出し用データ線と読み出し用共通データ線CDrが接続状態とされる。そして、前述のように、チャージシェア作用によって選択された読み出し用データ線のレベルが上昇し、読み出し用共通データ線CDrのレベルが低下して、ともに所定のレベルに到達する。

【0068】ここで、チャージシェア終了後のレベルVsは、回路の電源電圧Vccとし、選択された読み出し用データ線及び読み出し用共通データ線CDrの寄生容量をそれぞれCd及びCcとすると、

$$Vs = Vcc \times (Cc / (Cc + Cd))$$

となる。通常のスタティック型RAMにおいて、上記読み出し用データ線の寄生容量Cdは、読み出し用共通データ線の寄生容量Ccに比較して例えば4倍程度大きい。したがって、上記チャージシェア後のレベルVsは、回路の電源電圧Vccを+5Vとすると、約+1Vのような低いレベルとなり、センスアンプSAの差動増幅回路が効率的に動作できるバイアス電圧とならない。

【0069】このため、この実施例のセンスアンプSAでは、読み出し用データ線の選択動作が開始されてから、言い換えると選択された読み出し用データ線及び読み出し用共通データ線CDrによるチャージシェアが開始されてから、相補スイッチMOSFETQ13・Q48によるセンス回路の非反転入力ノードni及び反転入力ノード/ ni の短絡処理が解かれるまでの間、MOSFETQ8がオン状態のままとされる。その結果、選択された読み出し用データ線及び読み出し用共通データ線CDrのレベルが押し上げられ、回路の電源電圧Vccの二分の1のような所定のレベルVr（第1のレベル）

とされる。これにより、センスアンプSAのセンス回路に対して、最も効率的なバイアス電圧が与えられるものとなる。

【0070】タイミング信号 $\phi r3$ がハイレベルとされ、反転タイミング信号/ $\phi r4$ がロウレベルとされると、センスアンプSAでは、相補スイッチMOSFETQ13・Q48及びQ14・Q49がオフ状態となり、センス回路の非反転入力ノードni及び反転入力ノード/ ni 間ならびに非反転出力ノードno及び反転出力ノード/ no 間の短絡処理が解かれる。また、上記プリチャージMOSFETQ8がオフ状態となり、読み出し用共通データ線CDrのプリチャージ動作が停止される。これにより、センス回路は、実質的に増幅動作を行う状態とされ、読み出し用共通データ線CDrにメモリセルの読み出し信号が伝達されるのを待ち合わせる。ところで、センス回路の反転入力ノード/ ni には、次に相補スイッチMOSFETQ13・Q48がオン状態とされるまでの間、上記レベルVrが保持され、読み出し信号の増幅動作を行う基準電位とされる。

【0071】メモリアレイMARYの読み出し用Xワード線WXr0～WXrmが択一的にハイレベルとされ、行選択動作が行われると、選択された1個のメモリセルの読み出し信号が、すでに選択済みの読み出し用データ線及び読み出し用共通データ線CDrを介して、センスアンプSAに伝達される。この読み出し信号は、前述のように、選択されたメモリセルの保持データが論理“1”であると、図4に実線で示されるように、上記レベルVrから徐々に低下して最終的に回路の接地電位のようなロウレベルとされ、また選択されたメモリセルの保持データが論理“0”であると、上記レベルVrを維持しようとする。

【0072】ところが、この実施例のスタティック型RAMでは、前述のように、比較的小さなコンダクタンスを持つMOSFETQ9が、読み出し用共通データ線CDrと回路の電源電圧との間に設けられ、センス回路が動作状態とされる間、継続してオン状態とされる。このため、読み出し用共通データ線CDrのレベルすなわち上記読み出し信号は、図4に点線で示されるように、MOSFETQ9を介して回路の電源電圧が供給されることで徐々に押し上げられる。その結果、センス回路の非反転入力ノードniのレベルすなわち読み出し信号と反転入力ノード/ ni のレベルすなわち基準電位Vrとの間には、選択されたメモリセルの保持データに従ったレベル差が生じ、このレベル差がセンス回路によって増幅される。

【0073】これにより、これまで中間レベルとされていたセンス回路の非反転出力ノードnoが、選択されたメモリセルの保持データに従って急速に変化される。すなわち、選択されたメモリセルの保持データが論理“1”である場合、図4に実線で示されるように、セン

ス回路の非反転出力ノード n_o は急速に回路の接地電位のようなロウレベルとされ、インバータ回路 $N11$ の出力信号すなわち内部出力データ d_o がハイレベルとされる。一方、選択されたメモリセルの保持データが論理“0”である場合、図4に点線で示されるように、センス回路の非反転出力ノード n_o は急速に回路の電源電圧のようなハイレベルとされ、内部出力データ d_o はロウレベルのままとされる。

【0074】 センスアンプ SA の出力信号すなわち上記内部出力データ d_o は、後述するように、タイミング信号 ϕ_{oe} がハイレベルとされることで、データ出力バッファ DOB を介して送出され、出力データ out として、論理集積回路装置の図示されない後段回路に伝達される。

【0075】 データ出力バッファ DOB は、タイミング信号 ϕ_{oe} がハイレベルとされることで、選択的に動作状態とされる。この動作状態において、データ出力バッファ DOB は、センスアンプ SA から出力される上記内部出力データ d_o をもとに出力データ out を形成し、

【0076】 タイミング発生回路 TG は、論理集積回路装置の図示されない前段回路から供給される書き込みクロック信号 CW 及び読み出しクロック信号 CR をもとに、上記各種のタイミング信号を形成し、スタティック型 RAM の各回路に供給する。

【0077】 以上のように、この実施例のスタティック型 RAM は、大規模論理集積回路装置に搭載され、それぞれ書き込みポート及び読み出しポートとして専用化された二つのアクセスポートを有する2ポート RAM とされる。この実施例のスタティック型 RAM は、メモリアレイ $MARY$ 及びセンスアンプ SA の構成ならびに選択方法等について、次のような特徴を有する。すなわち、

【0078】 (1) メモリアレイの書き込みポートに対応する書き込み用データ線ならびに読み出しポートに対応する読み出し用データ線は、それぞれ単一化される。これにより、スタティック型 RAM の列あたりの所要信号線数が削減され、メモリセルあたりの所要 $MOSFET$ 数が削減される。

【0079】 (2) メモリアレイを構成するメモリセルは、2個の $CMOS$ インバータ回路が交差接続されてなるラッチを基本構成とし、上記ラッチの一对の入出力ノードは、各ポートに対応してそれぞれ専用化され、入力ノード及び出力ノードとされる。また、ラッチを構成する2個のインバータ回路のうち、その出力端子が上記入力ノードに結合される一方のインバータ回路の駆動能力は、他方のインバータ回路に比較して小さくされる。これにより、スタティック型 RAM の書き込み電流が削減され、その書き込み動作が安定化される。

【0080】 (3) 上記ラッチの入力ノードは、書き込み用の行選択制御 $MOSFET$ 及び列選択制御 $MOSFET$

ET を介して、書き込み用データ線に結合され、また上記ラッチの出力ノードは、読み出し用データ線と回路の接地電位との間に読み出し用の行選択制御 $MOSFET$ と直列形態に設けられる読み出し用 $MOSFET$ のゲートを介して、読み出し用データ線に間接的に結合される。これにより、読み出し動作にともなうメモリセルの保持データ破損を防止できるため、読み出し用データ線ならびに読み出し用共通データ線のプリチャージレベル等に対する制限が解かれる。

【0081】 (4) 書き込み用データ線は、隣接する2列のメモリセルによって共有され、書き込み用の行選択制御 $MOSFET$ は、隣接する列に配置される2個のメモリセルによって共有される。これにより、スタティック型 RAM の列あたりの所要信号線数がさらに削減され、メモリセルあたりの所要 $MOSFET$ 数がさらに削減される。

【0082】 (5) 読み出し用データ線は、読み出しポートが非選択状態とされるとき、回路の接地電位にプリチャージされ、読み出し用共通データ線は、回路の電源電圧にプリチャージされる。読み出し用データ線は、列選択用カラムスイッチを介して読み出し用共通データ線に選択的に接続され、このとき選択された読み出し用データ線と読み出し用共通データ線との間で、それぞれの寄生容量に応じたチャージシェアが生じる。列選択されない読み出し用データ線についてはプリチャージレベルすなわち回路の接地電位のままとされ、メモリセルの読み出し用 $MOSFET$ を介する読み出し電流は流されない。その結果、読み出しポートは、メモリセルごとに読み出し用の列選択制御 $MOSFET$ を設けられず、ワード線単位の共通選択方式を採るにもかかわらず、実質的に単一選択方式とされる。これにより、スタティック型 RAM の両ポートはともに単一選択方式とされ、スタティック型 RAM の消費電力が著しく削減される。

【0083】 (6) 上記読み出し用共通データ線は、電流ミラー型のセンス回路の非反転入力ノードに結合され、上記非反転入力ノードとその反転入力ノードの間には、選択された読み出し用データ線及び読み出し用共通データ線のチャージシェア後のレベル V_r を、その反転入力ノードに伝達する第1の短絡手段が設けられる。これにより、センス回路の基準電位として、読み出し信号が重畳される以前の直流レベルを用いることができるため、上記単一データ線方式に適合しかつ安定動作しうるシングルエンド型センスアンプを実現できる。

【0084】 (7) 上記センスアンプは、読み出し用共通データ線と回路の電源電圧との間に設けられ、上記チャージシェアが行われてから所定の期間だけオン状態とされるレベル補正用の $MOSFET$ を備える。これにより、読み出し用データ線及び読み出し用共通データ線の寄生容量の不均衡を補正し、チャージシェア後のレベル V_r を所望のレベルまで引き上げることができるため、

センスアンプの動作をさらに安定化できる。

【0085】(8) 上記センスアンプは、読み出しポートが非選択状態とされるとき、センス回路の非反転出力ノードをハイレベルにプリセットするMOSFETを備える。また、センス回路が動作状態とされる当初において、その非反転出力ノード及び反転出力ノード間を一時的に短絡する第2の短絡手段を備える。これにより、非選択状態時のセンスアンプの出力レベルが確定されるとともに、センス回路のオフセットが解消され、センスアンプの動作がさらに安定化される。

【0086】(9) 上記センスアンプは、読み出し用共通データ線と回路の電源電圧との間に設けられ、センス回路が動作状態とされる間継続してオン状態とされる比較的コンダクタンスの小さなMOSFETを備える。読み出し用共通データ線のレベルは、メモリセルの保持データが論理“0”であるとき、上記チャージシェア後のレベル V_r のままとされるが、このMOSFETによって徐々に押し上げられる。これにより、選択されたメモリセルの保持データの如何にかかわらず、基準電位とのレベル差が確保されるため、センスアンプの動作がさらに安定化される。

【0087】図5には、この発明が適用されたスタティック型RAMのメモリアレイMARYの第2の実施例の回路図が示されている。以下の実施例のメモリアレイMARYの回路図では、第 p 行の第 q 列又は第 $q-1$ 列に配置されるメモリセル MC_{pq} 及び $MC_{p,q-1}$ とこれらのメモリセルに関するメモリアレイ周辺部が例示的に示される。その他のアドレスに配置されるメモリセルならびにメモリアレイ周辺部については、類推されたい。また、以下の実施例は、基本的に上記第1の実施例を踏襲するものであるため、その特徴的な部分について、説明を追加する。

【0088】図5において、メモリアレイMARYは、特に制限されないが、同図の水平方向に平行して配置されるワード線 WX_p 等と、垂直方向に平行して配置されるデータ線 D_q 等ならびにこれらのワード線とデータ線の交点に格子状に配置されるメモリセル MC_{pq} 等を含む。

【0089】メモリアレイMARYを構成するメモリセル MC_{pq} 等は、一対のCMOSインバータ回路 N_{16} 及び N_{17} が交差接続されてなるラッチを基本構成とする。上記ラッチの一方の入出力ノードと対応するデータ線 D_q 等との間には、行選択用の制御MOSFET Q_{50} (第1のMISFET)が設けられる。この行選択制御MOSFET Q_{50} のゲートは、対応するワード線 WX_p 等に結合される。

【0090】ワード線 WX_p 等は、図示されないXアドレスデコーダ XAD に結合され、択一的にハイレベルの選択状態とされる。また、データ線 D_q 等は、図示されないカラムスイッチ CSW を介して共通データ線に結合

され、さらにライトアンプWA及びセンスアンプSAに結合される。これらのライトアンプWA及びセンスアンプSAは、それぞれシングルエンド型の書き込み回路又は読み出し増幅回路を備える。

【0091】この実施例のメモリアレイMARYは、いわゆる共通選択方式を採り、スタティック型RAMは1ポートRAMとされる。この実施例において、データ線 D_q 等は単一化され、各メモリセルならびにメモリアレイMARYは、その構成が簡素化される。その結果、図19に示される従来のスタティック型RAMにおいて6個必要とされたメモリセルあたりの所要MOSFET数が5個に削減され、また2本必要とされた列あたりの所要信号線数が1本に削減される。これにより、メモリアレイMARYの高集積化が図られ、スタティック型RAMの低コスト化が推進される。

【0092】図6には、この発明が適用されたスタティック型RAMのメモリアレイMARYの第3の実施例の回路図が示されている。図6において、インバータ回路 N_{16} 及び N_{17} からなるラッチの一方の入出力ノードは、行選択制御MOSFET Q_{50} 及び列選択制御MOSFET Q_{51} (第2のMISFET)を介して、対応するデータ線 D_q 等に結合される。行選択制御MOSFET Q_{50} のゲートは、対応するXワード線 WX_p 等に結合され、列選択制御MOSFET Q_{51} のゲートは、対応するYワード線 WY_q 等に結合される。

【0093】Xワード線 WX_p 等は、図示されないXアドレスデコーダ XAD に結合され、択一的にハイレベルの選択状態とされる。また、Yワード線 WY_q 等は、図示されないYアドレスデコーダ YAD に結合され、択一的にハイレベルの選択状態とされる。データ線 D_q 等は、図示されないカラムスイッチ CSW を介して共通データ線に結合され、さらにライトアンプWA及びセンスアンプSAに結合される。これらのライトアンプWA及びセンスアンプSAは、それぞれシングルエンド型の書き込み回路又は読み出し増幅回路を備える。

【0094】この実施例のメモリアレイMARYは、列選択制御MOSFET Q_{51} が追加されることで、いわゆる単一選択方式とされ、指定された1個のメモリセルのみが対応するデータ線 D_q 等に結合される。したがって、このデータ線のみが、プリチャージレベルから選択されたメモリセルの保持データに従ったレベルに変化され、その他のデータ線はすべてプリチャージレベルのままとされる。このため、スタティック型RAMの読み出し電流が著しく削減されるとともに、各データ線が単一化されることで、メモリセル及びメモリアレイMARYの構成が簡素化される。その結果、単一選択方式を採用にもかかわらず、図20に示される従来のスタティック型RAMにおいて8個必要とされたメモリセルあたりの所要MOSFET数が6個に削減され、3本必要とされた列あたりの所要信号線数が2本に削減される。これに

より、低消費電力化ならびに高集積化を図った単一選択方式のスタティック型RAMを実現できる。

【0095】図7には、この発明が適用されたスタティック型RAMのメモリアレイMARYの第4の実施例の回路図が示されている。図7において、メモリアレイMARYは、特に制限されないが、同図の水平方向に平行して配置される書き込み用ワード線WXwp（第1のワード線）及び読み出し用ワード線WXrp（第2のワード線）等と、垂直方向に平行して配置されるデータ線Dq等を含む。これらの書き込み用ワード線及び読み出し用ワード線ならびにデータ線の交点には、メモリセルMCpq等が格子状に配置される。

【0096】メモリアレイMARYを構成する各メモリセルは、一対のCMOSインバータ回路N18及びN19が交差接続されてなるラッチを基本構成とする。この実施例において、上記ラッチの一方の入出力ノードすなわちインバータ回路N18の入力端子及びインバータ回路N19の出力端子の共通結合されたノードは、特に制限されないが、入力ノードとして専用化され、他方の入出力ノードすなわちインバータ回路N18の出力端子及びインバータ回路N19の入力端子の共通結合されたノードは、出力ノードとして専用化される。また、上記ラッチを構成する一対のインバータ回路のうち、その出力端子が上記入力ノードに結合される一方のインバータ回路N19は、特に制限されないが、他方のインバータ回路N18に対して小さな駆動能力を持つように設計される。

【0097】上記ラッチの入力ノードは、書き込み用行選択制御MOSFETQ52（第3のMISFET）を介して、対応するデータ線Dq等に結合される。また、上記ラッチの出力ノードは、読み出し用行選択制御MOSFETQ53（第4のMISFET）を介して、対応する上記データ線Dq等に結合される。書き込み用行選択制御MOSFETQ52のゲートは、対応する書き込み用ワード線WXwp等に結合され、読み出し用行選択制御MOSFETQ53のゲートは、対応する読み出し用ワード線WXrp等に結合される。

【0098】書き込み用ワード線WXwp及び読み出し用ワード線WXrp等は、図示されないXアドレスデコードXADに結合され、スタティック型RAMの動作モードに応じて選択的にかつ択一的にハイレベルの選択状態とされる。すなわち、スタティック型RAMが書き込みモードとされる場合、書き込み用ワード線WXwp等が択一的に選択状態とされ、読み出しモードとされる場合、読み出し用ワード線WXrp等が択一的に選択状態とされる。データ線Dq等は、図示されないカラムスイッチCSWを介して共通データ線に結合され、さらにライトアンプWA及びセンスアンプSAに結合される。これらのライトアンプWA及びセンスアンプSAは、それぞれシングルエンド型の書き込み回路又は読み出し増幅

回路を備える。

【0099】この実施例のメモリアレイMARYは、いわゆる共通選択方式を採り、スタティック型RAMは1ポートRAMであるにもかかわらず、各メモリセルに対する書き込み経路ならびに読み出し経路が、それぞれ独立して設けられる。このため、この実施例のメモリアレイMARYでは、データ線が単一化されるにもかかわらず、メモリセル及びメモリアレイの構成が簡素化されない。ところが、書き込み経路と読み出し経路が分離され、メモリセルのラッチの入出力ノードが入力ノード又は出力ノードに専用化されることで、その出力端子が上記入力ノードに結合される一方のインバータ回路の駆動能力を選択的に小さくする等の対策が施しやすい。その結果、スタティック型RAMの書き込み電流を削減し、また書き込み動作の安定化を図ることができるものとなる。

【0100】図8には、この発明が適用されたスタティック型RAMのメモリアレイMARYの第5の実施例の回路図が示されている。この実施例のスタティック型RAMは、特に制限されないが、2ポートRAMとされ、その二つのアクセスポートは、それぞれ書き込みポート及び読み出しポートとして専用化される。

【0101】図8において、メモリアレイMARYは、特に制限されないが、同図の水平方向に平行して配置される書き込み用ワード線WXwp（第1のワード線）及び読み出し用ワード線WXrp（第2のワード線）等と、垂直方向に平行して配置される書き込み用データ線Dwq（第1のデータ線）及び読み出し用データ線Drq（第2のデータ線）等を含む。これらの書き込み用ワード線及び読み出し用ワード線ならびに書き込み用データ線及び読み出し用データ線の交点には、メモリセルMCpq等が格子状に配置される。

【0102】メモリアレイMARYを構成するメモリセルMCpq等は、一対のCMOSインバータ回路N18及びN19が交差接続されてなるラッチを基本構成とする。この実施例において、上記ラッチを構成する一方のインバータ回路N19は、特に制限されないが、他方のインバータ回路N18に対して小さな駆動能力を持つように設計される。

【0103】上記ラッチの一方の入出力ノードは、特に制限されないが、入力ノードとして専用化され、書き込み用制御MOSFETQ54（第5のMISFET）を介して、対応する書き込み用データ線Dwq等に結合される。同様に、上記ラッチの他方の入出力ノードは、出力ノードとして専用化され、読み出し用制御MOSFETQ55（第6のMISFET）を介して、対応する読み出し用データ線Drq等に結合される。書き込み用制御MOSFETQ54のゲートは、対応する書き込み用ワード線WXwp等に結合され、読み出し用制御MOSFETQ53のゲートは、対応する読み出し用ワード線

WXrp等に結合される。

【0104】書き込み用ワード線WXwp等は、書き込みポートの図示されない書き込み用XアドレスデコーダXADWに結合され、択一的にハイレベルの選択状態とされる。同様に、読み出し用ワード線WXrp等は、読み出しポートの図示されない読み出し用XアドレスデコーダXADRに結合され、択一的にハイレベルの選択状態とされる。書き込み用データ線Dwq等は、図示されないカラムスイッチCSWを介して書き込み用共通データ線に結合され、さらにライトアンプWAに結合される。同様に、読み出し用データ線Drq等は、上記カラムスイッチCSWを介して読み出し用共通データ線に結合され、さらにセンスアンプSAに結合される。上記ライトアンプWA及びセンスアンプSAは、それぞれシングルエンド型の書き込み回路又は読み出し増幅回路を備える。

【0105】この実施例のメモリアレイMARYは、いわゆる共通選択方式を採り、スタティック型RAMは2ポートRAMであるにもかかわらず、各データ線が単一化されることで、メモリセルならびにメモリアレイMARYの回路構成が簡素化される。また、前述のように、メモリセルのラッチの入出力ノードが入力ノード又は出力ノードとして専用化され、その出力端子が入力ノードに結合される一方のインバータ回路の駆動能力が選択的に小さくされる。その結果、図21に示される従来のスタティック型RAMにおいて8個必要とされたメモリセルあたりの所要MOSFET数が6個に削減され、4本必要とされたメモリアレイの列あたりの所要信号線数が2本に削減されるとともに、書き込み電流が削減され、書き込み動作が安定化される。これにより、スタティック型RAMの低コスト化ならびに低消費電力化を図り、動作の安定化を図ることができる。

【0106】図9には、この発明が適用されたスタティック型RAMのメモリアレイMARYの第6の実施例の回路図が示されている。図9において、インバータ回路N18及びN19からなるラッチの入力ノードは、書き込み用行選択制御MOSFETQ54及び書き込み用列選択制御MOSFETQ56（第7のMISFET）を介して、対応する書き込み用データ線Dwq等に結合される。

【0107】同様に、上記ラッチの出力ノードは、読み出し用行選択制御MOSFETQ55及び読み出し用列選択制御MOSFETQ57（第8のMISFET）を介して、対応する書き込み用データ線Dwq等に結合される。上記書き込み用行選択制御MOSFETQ54のゲートは、対応する書き込み用Xワード線WXwp（第1のXワード線）等に結合され、書き込み用列選択制御MOSFETQ56のゲートは、対応する書き込み用Yワード線WYwq（第1のYワード線）等に結合される。同様に、上記読み出し用行選択制御MOSFETQ

55のゲートは、対応する読み出し用Xワード線WXrp（第2のXワード線）等に結合され、読み出し用列選択制御MOSFETQ57のゲートは、対応する読み出し用Yワード線WYrq（第2のYワード線）等に結合される。

【0108】書き込み用Xワード線WXwp等は、書き込みポートの図示されない書き込み用XアドレスデコーダXADWに結合され、択一的にハイレベルの選択状態とされる。同様に、読み出し用Xワード線WXrp等は、読み出しポートの図示されない読み出し用XアドレスデコーダXADRに結合され、択一的にハイレベルの選択状態とされる。一方、書き込み用Yワード線WYwq等は、書き込みポートの図示されない書き込み用YアドレスデコーダYADWに結合され、択一的にハイレベルの選択状態とされる。

【0109】同様に、読み出し用Yワード線WYrq等は、読み出しポートの図示されない読み出し用YアドレスデコーダYADRに結合され、択一的にハイレベルの選択状態とされる。書き込み用データ線Dwq等は、図示されないカラムスイッチCSWを介して書き込み用共通データ線に結合され、さらにライトアンプWAに結合される。同様に、読み出し用データ線Drq等は、上記カラムスイッチCSWを介して読み出し用共通データ線に結合され、さらにセンスアンプSAに結合される。上記ライトアンプWA及びセンスアンプSAは、それぞれシングルエンド型の書き込み回路又は読み出し増幅回路を備える。

【0110】この実施例のメモリアレイMARYは、書き込み用列選択制御MOSFETQ56ならびに読み出し用列選択制御MOSFETQ57が追加されることで、書き込みポート及び読み出しポートともにいわゆる単一選択方式とされ、スタティック型RAMの消費電力は著しく削減される。また、上記第5の実施例の場合と同様に、各データ線が単一化されるため、2ポートRAMとされかつ単一選択方式とされるにもかかわらず、メモリセル及びメモリアレイMARYの回路構成が簡素化される。その結果、図22に示される従来のスタティック型RAMにおいて12個必要とされたメモリセルあたりの所要MOSFET数が8個に削減され、6本必要とされた列あたりの所要信号線数が4本に削減される。これにより、低消費電力化と高集積化ならびに低コスト化を図った単一選択方式の2ポートスタティック型RAMを実現することができる。

【0111】図13には、この発明が適用されたスタティック型RAMのメモリアレイMARYの第10の実施例の回路図が示されている。図13において、メモリアレイMARYは、特に制限されないが、同図の水平方向に平行して配置される書き込み用ワード線WXwp（第1のワード線）及び読み出し用ワード線WXrp（第2のワード線）等と、垂直方向に平行して配置されるデー

タ線Dq等を含む。これらの書き込み用ワード線及び読み出し用ワード線ならびにデータ線の交点には、メモリセルMCpq等が格子状に配置される。

【0112】メモリアレイMARYを構成するメモリセルMCpq等は、一对のCMOSインバータ回路N18及びN19が交差接続されてなるラッチを基本構成とする。ここで、上記ラッチの一对の入出力ノードは、特に制限されないが、それぞれ入力ノード及び出力ノードとして専用化される。また、ラッチを構成する一对のインバータ回路のうち、その出力端子が上記入力ノードに結合される一方のインバータ回路N19は、他方のインバータ回路N18に対して小さな駆動能力を持つように設計される。

【0113】上記ラッチの入力ノードは、書き込み用行選択制御MOSFETQ73（第9のMISFET）を介して、対応するデータ線Dq等に結合される。上記データ線Dq等と回路の接地電位（第1の電源電圧）との間には、読み出し用行選択制御MOSFETQ71（第10のMISFET）ならびに読み出し用MOSFETQ72（第11のMISFET）が直列形態に設けられる。書き込み用行選択制御MOSFETQ73のゲートは、対応する上記書き込み用ワード線WXwp等に結合される。また、読み出し用行選択制御MOSFETQ71のゲートは、対応する上記読み出し用ワード線WXrp等に結合され、読み出し用MOSFETQ72のゲートは、上記ラッチの出力ノードに結合される。

【0114】書き込み用ワード線WXwp及び読み出し用WXrp等は、図示されないXアドレスデコーダXADに結合され、スタティック型RAMの動作モードに応じて選択的にかつ択一的にハイレベルの選択状態とされる。データ線Dq等は、特に制限されないが、図示されないカラムスイッチCSWを介して共通データ線に結合され、さらにライトアンプWA及びセンスアンプSAに結合される。これらのライトアンプWA及びセンスアンプSAは、それぞれシングルエンド型の書き込み回路又は読み出し増幅回路を備える。

【0115】この実施例のメモリアレイMARYは、いわゆる共通選択方式を採り、スタティック型RAMは1ポートRAMであるにもかかわらず、各メモリセルに対する書き込み経路及び読み出し経路がそれぞれ独立して設けられる。このため、メモリセルを構成するラッチの一对の入出力ノードが入力ノード及び出力ノードとして専用化され、その出力端子が入力ノードに結合される一方のインバータ回路の駆動能力が選択的に小さくされる。

【0116】さらに、上記ラッチの出力ノードは、読み出し用MOSFETQ72のゲートを介して、対応するデータ線Dq等に間接的に結合され、読み出し動作にともなうメモリセルの保持データの破損が防止される。このため、読み出し動作時におけるデータ線Dqのプリチ

ャージレベル等に関する制限が解かれ、読み出し信号マージンが拡大される。その結果、スタティック型RAMの書き込み電流が削減されるとともに、その書き込み動作ならびに読み出し動作が安定化されるものとなる。

【0117】図14には、この発明が適用されたスタティック型RAMのメモリアレイMARYの第11の実施例の回路図が示されている。この実施例のスタティック型RAMは、特に制限されないが、2ポートRAMとされ、その二つのアクセスポートは、それぞれ書き込みポート及び読み出しポートとして専用化される。

【0118】図14において、メモリアレイMARYは、特に制限されないが、同図の水平方向に平行して配置される書き込み用ワード線WXwp（第1のワード線）及び読み出し用ワード線WXrp（第2のワード線）等と、垂直方向に平行して配置される書き込み用データ線Dwq（第1のデータ線）及び読み出し用データ線Drq（第2のデータ線）等を含む。これらの書き込み用ワード線及び読み出し用ワード線ならびに書き込み用データ線及び読み出し用データ線の交点には、メモリセルMCpq等が格子状に配置される。

【0119】メモリアレイMARYを構成するメモリセルMCpq等は、一对のCMOSインバータ回路N18及びN19が交差接続されてなるラッチを基本構成とする。この実施例において、上記ラッチを構成する一方のインバータ回路N19は、他方のインバータ回路N18に比較して小さな駆動能力を持つように設計される。

【0120】上記ラッチの一方の入出力ノードは、特に制限されないが、入力ノードとして専用化され、書き込み用行選択制御MOSFETQ73（第12のMISFET）を介して、対応する書き込み用データ線Dwq等に結合される。読み出し用データ線Drq等と回路の接地電位との間には、読み出し用行選択制御MOSFETQ71（第13のMISFET）及び読み出し用MOSFETQ72（第14のMISFET）が直列形態に設けられる。上記ラッチの他方の入出力ノードは、出力ノードとして専用化され、上記読み出し用MOSFETQ72のゲートに結合される。書き込み用行選択制御MOSFETQ73のゲートは、対応する書き込み用ワード線WXwp等に結合され、読み出し用行選択制御MOSFETQ71のゲートは、対応する読み出し用ワード線WXrp等に結合される。

【0121】書き込み用ワード線WXwp等は、書き込みポートの図示されない書き込み用XアドレスデコーダXADWに結合され、択一的にハイレベルの選択状態とされる。同様に、読み出し用ワード線WXrp等は、読み出しポートの図示されない読み出し用XアドレスデコーダXADRに結合され、択一的にハイレベルの選択状態とされる。書き込み用データ線Dwq等は、図示されないカラムスイッチCSWを介して書き込み用共通データ線に結合され、さらにライトアンプWAに結合され

る。同様に、読み出し用データ線Drq等は、上記カラムスイッチCSWを介して読み出し用共通データ線に結合され、さらにセンスアンプSAに結合される。上記ライトアンプWA及びセンスアンプSAは、それぞれシングルエンド型の書き込み回路又は読み出し増幅回路を備える。

【0122】この実施例のメモリアレイMARYは、いわゆる共通選択方式を採り、スタティック型RAMは2ポートRAMであるにもかかわらず、各データ線が単一化されることで、メモリセルならびにメモリアレイMARYの回路構成が簡素化される。また、メモリセルのラッチの入出力ノードが入力ノード又は出力ノードとして専用化され、その出力端子が入力ノードに結合されるインバータ回路の駆動能力が選択的に小さくされるとともに、ラッチの出力ノードが、読み出し用MOSFETQ72のゲートを介して、対応する読み出し用データ線Drq等間に間接的に結合される。これにより、メモリセルあたりの所要MOSFET数は7個で済み、列あたりの所要信号線数は2本で済む。また、スタティック型RAMの書き込み電流が削減され、さらにその書き込み動作ならびに読み出し動作が安定化される。その結果、スタティック型RAMの動作を安定化しつつ、その低コスト化及び低消費電力化を推進できる。

【0123】図15には、この発明が適用されたスタティック型RAMのセンスアンプSAの第2の実施例の回路図が示されている。センスアンプSAに関する以下の実施例は上記図2の実施例を踏襲するものであるため、その特徴的な部分について、説明を追加する。

【0124】図15において、センスアンプSAは、上記図2の実施例と同様に、一対の差動MOSFETQ45及びQ46を含むセンス回路を基本構成とする。センス回路の非反転入力ノードniは、読み出し用共通データ線CDrに結合され、MOSFETQ8及びQ9を介して回路の電源電圧に結合される。上記非反転入力ノードniは、さらに第1の短絡手段となる相補スイッチMOSFETQ13・Q48を介して、反転入力ノード/no*に結合される。センス回路の非反転出力ノードno*

$$V_s = V_{cc} \times (C_c + C_m) / ((C_c + C_m) + C_d) \\ = V_{cc} / 2$$

となる。

【0128】つまり、この実施例のセンスアンプSAでは、読み出し用共通データ線CDrと回路の接地電位との間にMOSFETQ76からなる容量手段が付加されることで、選択された読み出し用データ線及び読み出し用共通データ線CDrのチャージシエア後のレベルVsは、回路の電源電圧Vccのほぼ二分の一すなわちセンス回路に対する最適バイアスレベルVrとなる。これにより、プリチャージMOSFETQ8の動作タイミングに注意を払うことなく、センス回路のバイアス電圧を最適化できるものである。

*は、出力インバータ回路N11の入力端子に結合され、さらにプリセット用MOSFETQ10を介して回路の電源電圧に結合される。

【0125】この実施例において、読み出し用共通データ線CDrは、特に制限されないが、さらにMOSFETQ76からなる容量手段を介して、回路の接地電位に結合される。ここで、上記容量手段は、特に制限されないが、メモリアレイの読み出し用データ線の寄生容量をCdとし、読み出し用共通データ線CDrの寄生容量をCcとすると、

$$C_m = C_d - C_c$$

なる静電容量Cmを持つように設計される。

【0126】図2の実施例のセンスアンプSAでは、前述のように、読み出し用データ線の選択動作が終了した時点で、選択された読み出し用データ線及び読み出し用共通データ線によるチャージシエアが行われる。その結果、選択された読み出し用データ線及び読み出し用共通データ線は、

$$V_s = V_{cc} \times (C_c / (C_c + C_d))$$

なる所定のレベルVsとされる。ここで、読み出し用共通データ線CDrの寄生容量Ccは、通常読み出し用共通データ線の寄生容量Cdに比較して小さいため、上記レベルVsは、センス回路にとって所望のバイアスレベルとはならない。このため、上記図2の実施例では、プリチャージMOSFETQ8をチャージシエア終了後も所定の期間だけオン状態とし、レベル補正を行った。つまり、図2の実施例のセンスアンプSAでは、レベルVsを最適バイアスレベルVrとするため、MOSFETQ8がオン状態とされる期間を的確に設定する必要があった。

【0127】ところが、この実施例のセンスアンプSAでは、上記MOSFETQ76からなり、かつ、Cm=Cd-Ccなる静電容量Cmを有する容量手段が、読み出し用共通データ線CDrと回路の接地電位との間に付加される。このため、選択された読み出し用データ線及び読み出し用共通データ線CDrの上記チャージシエア後のレベルVsは、

40 【0129】図17には、この発明が適用されたスタティック型RAMのセンスアンプSAの第4の実施例の回路図が示されている。図17において、センスアンプSAは、上記図2の実施例と同様に、一対の差動MOSFETQ45及びQ46を含むセンス回路SCを基本構成とする。センス回路SCの非反転出力ノードnoは、出力インバータ回路N11の入力端子に結合され、さらにプリセット用MOSFETQ10を介して回路の電源電圧に結合される。

【0130】この実施例において、センスアンプSA
50 は、センス回路SCの前段に設けられるレベルシフト回

路LS1(第1のレベルシフト回路)を備える。レベルシフト回路LS1は、特に制限されないが、一对の差動MOSFETQ78・Q77と、これらのMOSFETのドレインと回路の電源電圧との間にそれぞれ設けられるMOSFETQ80及びQ79を含む。MOSFETQ78及びQ77の共通結合されたソースは、回路の接地電位に結合される。また、MOSFETQ78のゲートは、レベルシフト回路LS1の非反転入力ノードniとされ、上記読み出し用共通データ線CDrに結合されるとともに、上述のMOSFETQ8及びQ9を介して回路の電源電圧に結合される。

【0131】レベルシフト回路LS1の非反転入力ノードniは、さらに相補スイッチMOSFETQ13・Q48(第1の短絡手段)を介して、MOSFETQ77のゲートすなわちレベルシフト回路LS1の反転入力ノード/n iに結合される。MOSFETQ80及びQ79のゲートは共通結合され、タイミング信号φr1が供給される。また、MOSFETQ78のドレインは、MOSFETQ46のゲートすなわちセンス回路SCの非反転入力ノードに結合され、MOSFETQ77のドレインは、MOSFETQ45のゲートすなわちセンス回路SCの反転入力ノードに結合される。

【0132】これにより、レベルシフト回路LS1は、上記タイミング信号φr1がハイレベルとされることで選択的に動作状態とされる。このとき、レベルシフト回路LS1は、非反転入力ノードni及び反転入力ノード/n iのレベル差を増幅する作用を持つとともに、その直流レベルを、MOSFETQ78とQ80あるいはMOSFETQ77とQ79のコンダクタンス比に見合った分だけ高くする作用を持つ。

【0133】この実施例のセンスアンプSAにおいて、上記MOSFETQ8はタイミング信号φr1によって制御され、読み出し用共通データ線CDrのプリチャージ用MOSFETとしての作用のみを持つ。言い換えると、MOSFETQ8は、選択された読み出し用データ線及び読み出し用共通データ線CDrのチャージシエ後のレベルVsを補正する作用を持たない。したがって、読み出し用共通データ線CDr等のチャージシエ後のレベルVsは、前述のように、比較的低いレベルとなる。このレベルVsは、図2の実施例の場合と同様に、選択されたメモリセルの読み出し信号が出力される直前までオン状態とされる相補スイッチMOSFETQ13・Q48を介して、レベルシフト回路LS1の反転入力ノード/n iに伝達され、その基準電位とされる。

【0134】その結果、読み出し用共通データ線CDrを介して出力される読み出し信号は、レベルシフト回路LS1によってその直流レベルが最適バイアスレベルVrまで高められまた基準電位すなわちレベルVsとのレベル差が拡大されつつ、センス回路SCに伝達される。これにより、この実施例のセンスアンプSAは、プリ

チャージMOSFETQ8の動作タイミングに注意を払うことなく、また比較的大きなレイアウト面積を必要とする容量手段を設けることなく、センス回路SCのバイアス電圧を最適化できるものである。

【0135】図18には、この発明が適用されたスタティック型RAMのセンスアンプSAの第5の実施例の回路図が示されている。この実施例のスタティック型RAMでは、特に制限されないが、読み出し用データ線及び読み出し用共通データ線CDrは、スタティック型RAMが非選択状態とされるとき、ともに回路の電源電圧のようなハイレベルにプリチャージされる。このため、カラムスイッチCSWによる読み出し用データ線の選択動作が終了した後も、選択された読み出し用データ線及び読み出し用共通データ線の直流レベルは、回路の電源電圧Vccのままとされる。

【0136】図18において、センスアンプSAは、上記図2の実施例と同様に、一对の差動MOSFETQ45及びQ46を含むセンス回路SCを基本構成とする。センス回路SCの非反転出力ノードnoは、出力インバート回路N11の入力端子に結合され、さらにプリセット用MOSFETQ10を介して回路の電源電圧に結合される。

【0137】この実施例において、センスアンプSAは、センス回路SCの前段に設けられるレベルシフト回路LS2(第2のレベルシフト回路)を備える。レベルシフト回路LS2は、特に制限されないが、一对の差動MOSFETQ82・Q81と、これらのMOSFETのソース側にそれぞれ設けられるMOSFETQ84及びQ83とを含む。MOSFETQ82及びQ81のドレインは回路の電源電圧に結合され、MOSFETQ84及びQ83の共通結合されたソースは、駆動MOSFETQ85を介して回路の接地電位に結合される。MOSFETQ82のゲートは、レベルシフト回路LS2の非反転入力ノードとして、上記読み出し用共通データ線CDrに結合される。また、MOSFETQ81のゲートは、レベルシフト回路LS2の反転入力ノードとして、回路の電源電圧に結合される。つまり、この実施例のスタティック型RAMでは、前述のように、選択された読み出し用データ線ならびに読み出し用共通データ線の直流レベルが回路の電源電圧Vccとされるため、レベルシフト回路LS2の基準電位は、回路の電源電圧となる。

【0138】MOSFETQ83のゲートは、そのドレインに結合され、さらにMOSFETQ84のゲートに共通結合される。これにより、MOSFETQ84及びQ83は、電流ミラー形態とされる。駆動MOSFETQ85のゲートには、上述のタイミング信号φr1が供給される。MOSFETQ82のソースは、レベルシフト回路LS2の非反転出力ノードとして、センス回路SCの非反転入力ノードniに結合される。

【0139】これらのことから、レベルシフト回路LS2は、上記タイミング信号φr1がハイレベルとされることで、選択的に動作状態とされる。このとき、レベルシフト回路LS2は、その非反転入力ノードすなわち読み出し用共通データ線CDrと反転入力ノードすなわち回路の電源電圧とのレベル差を増幅する作用を持つとともに、その直流レベルを、MOSFETQ82及びQ84ならびにMOSFETQ81及びQ83のコンダクタンス比に見合った分だけ低くする作用を持つ。

【0140】この実施例のセンスアンプSAは、さらに、センス回路SCの非反転入力ノードni及び反転入力ノード/n i間に設けられる相補スイッチMOSFETQ13・Q48（第1の短絡手段）を含む。この相補スイッチMOSFETは、上記第2の実施例の場合と同様に、センスアンプSAが非動作状態とされるときオン状態とされ、センスアンプSAが動作状態とされ読み出し用共通データ線CDrに選択されたメモリセルの読み出し信号が伝達される直前にオフ状態とされる。このとき、読み出し用共通データ線CDrのレベルは、ほぼ回路の電源電圧そのものであり、レベルシフト回路LS2の非反転出力ノードの直流レベルは、ほぼ回路の電源電圧の二分の一すなわちセンス回路の最適バイアスレベルVrとされる。このレベルは、相補スイッチMOSFETQ13・Q48がオン状態とされることで、センス回路SCの反転入力ノード/n iに伝達され、センス回路SCの基準電位とされる。

【0141】その結果、この実施例のセンスアンプSAは、プリチャージMOSFETのオフタイミングに注意を払う必要なく、また比較的大きなレイアウト面積を必要とする容量手段を設けることなく、センス回路SCのバイアス電圧を最適化できるものである。

【0142】以上の複数の実施例に示されるように、この発明を大規模論理集積回路装置に搭載されるスタティック型RAM等の半導体記憶装置に適用することで、次のような作用効果が得られる。なお、以下に記載される作用効果の項番は、特許請求の範囲の項番と対応付けられる。

【0143】（1）1ポートスタティック型RAM等のメモリアレイを構成するデータ線を単一化し、また各メモリセルを、一対のインバータ回路が交差接続されてなるラッチと、このラッチの一方の入出力ノードと上記データ線との間に設けられる行選択制御MOSFETとにより構成する。これにより、1ポートスタティック型RAM等のメモリセルあたりの所要MOSFET数を5個に、また列あたりの所要信号線数を1本に削減し、その高集積化及び低コスト化を図ることができる。

【0144】（2）上記（1）項において、メモリセルの行選択制御MOSFETと直列に列選択制御MOSFETを設けることで、いわゆる単一選択型のメモリアレイを構成する。これにより、1ポートスタティック型R

AM等の消費電力を著しく削減できるとともに、単一選択方式を採用1ポートスタティック型RAM等のメモリセルあたりの所要MOSFET数を6個に、また列あたりの所要信号線を2本に削減し、その高集積化及び低コスト化を図ることができる。

【0145】（3）1ポートスタティック型RAM等のメモリアレイを構成するデータ線を単一化し、書き込み用ワード線及び読み出し用ワード線を設ける。また、各メモリセルを、一対のインバータ回路が交差接続されてなるラッチと、このラッチの一方の入出力ノードと上記データ線との間に設けられそのゲートが上記書き込み用ワード線に結合される書き込み用行選択制御MOSFETならびに上記ラッチの一方又は他方の入出力ノードと上記データ線との間に設けられそのゲートが上記読み出し用ワード線に結合される読み出し用行選択制御MOSFETとにより構成する。これにより、メモリセルに対する書き込み経路及び読み出し経路を分離し、例えば上記ラッチを構成する一対のインバータ回路のうちその出力端子が書き込み用入出力ノードに結合される一方のインバータ回路の駆動能力を他方のインバータ回路より小さくするなど、上記書き込み経路及び読み出し経路をそれぞれ最適化できる。

【0146】（4）2ポートスタティック型RAM等のメモリアレイを構成する各ポートのデータ線を単一化し、また各メモリセルを、一対のインバータ回路が交差接続されてなるラッチと、上記ラッチの一方あるいは一方及び他方の入出力ノードと各ポートのデータ線との間にそれぞれ設けられる2個の行選択制御MOSFETとにより構成する。これにより、2ポートスタティック型RAM等のメモリセルあたりの所要MOSFET数を6個に、また列あたりの所要信号線数を2本に削減し、その高集積化及び低コスト化を図ることができる。

【0147】（5）上記（4）項において、メモリセルの各行選択制御MOSFETと直列に列選択制御MOSFETをそれぞれ設けることで、いわゆる単一選択型の2ポートメモリアレイを構成する。これにより、2ポートスタティック型RAM等の消費電力を著しく削減できるとともに、単一選択方式を採用2ポートスタティック型RAM等のメモリセルあたりの所要MOSFET数を8個に、また列あたりの所要信号線数を4本に削減し、その高集積化及び低コスト化を図ることができる。

【0148】（6）1ポートスタティック型RAM等のメモリアレイを構成するデータ線を単一化し、書き込み用ワード線及び読み出し用ワード線を設ける。また、各メモリセルを、一対のインバータ回路が交差接続されてなるラッチと、このラッチの一方の入出力ノードと上記データ線との間に設けられそのゲートが上記書き込み用ワード線に結合される書き込み用行選択制御MOSFETと、上記データ線と回路の接地電位との間に直列形態に設けられそのゲートが上記読み出し用ワード線に結合

される読み出し用行選択制御MOSFETならびにそのゲートが上記ラッチの一方又は他方の入出力ノードに結合される読み出し用MOSFETとにより構成する。これにより、メモリセルに対する書き込み経路及び読み出し経路を分離し、上記書き込み経路及び読み出し経路をそれぞれ最適化することができる。また、上記読み出し経路において、ラッチの出力ノードが上記読み出し用MOSFETのゲートを介して間接的にデータ線に結合されることで、読み出し動作にともなうメモリセルの保持データの破損を防止できるため、データ線ならびに共通データ線のプリチャージレベル等を任意に設定できる。その結果、1ポートスタティック型RAM等の読み出し信号マージンを高め、その読み出し動作を安定化できる。

【0149】(7) 2ポートスタティック型RAM等の二つのアクセスポートと、それぞれ書き込みポート及び読み出しポートとして専用化し、各ポートのデータ線をそれぞれ単一化する。また、各メモリセルを、一対のインバータ回路が交差接続されてなるラッチと、このラッチの一方の入出力ノードと上記書き込み用データ線との間に設けられ書き込み用行選択制御MOSFETと、上記読み出し用データ線と回路の接地電位との間に直列形態に設けられる読み出し用行選択制御MOSFETならびに読み出し用MOSFETとにより構成し、上記ラッチの一方又は他方の入出力ノードと上記読み出し用データ線を、上記読み出し用MOSFETのゲートを介して間接的に結合する。これにより、2ポートスタティック型RAM等の読み出し動作を安定化しつつ、メモリセルあたりの所要MOSFET数を7個に、また列あたりの所要信号線数を2本にそれぞれ削減し、その高集積化及び低コスト化を図ることができる。

【0150】(8) 上記(7)項において、メモリセルの書き込み用行選択制御MOSFETと直列に書き込み用列選択制御MOSFETを設け、また読み出し用データ線をカラムスイッチを介して読み出し用共通データ線に選択的に接続する。これにより、上記2ポートスタティック型RAM等の書き込みポートをいわゆる単一選択方式とし、その消費電力を著しく削減できる。

【0151】(9) 上記(8)項において、読み出し用データ線を回路の接地電位のようなロウレベルにプリチャージし、読み出し用共通データ線を回路の電源電圧のようなハイレベルにプリチャージする。これにより、各メモリセルに読み出し用行選択制御MOSFETを設けることなく、上記2ポートスタティック型RAM等の読み出しポートをいわゆる単一選択方式とし、その消費電力を著しく削減できる。また、上記(7)ないし(9)項により、単一選択方式を採る2ポートスタティック型RAM等のメモリセルあたりの所要MOSFET数を8個に、また列あたりの所要信号線数を3本にそれぞれ削減し、その高集積化及び低コスト化を図ることができ

る。

【0152】(10) 上記(9)項において、書き込み用データ線を隣接する2列のメモリセルによって共有し、書き込み用行選択MOSFETを隣接する列に配置される2個のメモリセルで共有する。これにより、上記単一選択方式を採る2ポートスタティック型RAM等のメモリセルあたりの所要MOSFET数を7.5個に削減し、列あたりの所要信号線数を2.5本に削減して、その高集積化及び低コスト化を推進できる。

【0153】(11) 上記(10)項において、各メモリセルのラッチの一対の入出力ノードをそれぞれ入力ノード及び出力ノードとして専用化し、上記ラッチを構成する一対のインバータ回路のうち、その出力端子が出力ノードに結合される一方のインバータ回路の駆動能力を他方のインバータ回路より小さくする。これにより、2ポートスタティック型RAMの書き込み電流を削減し、その書き込み動作を安定化できる。

【0154】(12) 差動型のセンス回路を基本構成とするセンスアンプの非反転入力ノードを所定の入力信号線に結合し、上記非反転入力ノードとその反転入力ノードとの間に、読み出し信号等が伝達される直前の入力信号線の直流レベルを基準電位として上記反転入力ノードに伝達する第1の短絡手段を設ける。これにより、安定動作しうるシングルエンド型のセンスアンプを実現できる。

【0155】(13) 上記(12)項のセンスアンプを、データ線を単一化し、かつ読み出し用データ線を回路の接地電位のようなロウレベルにプリチャージし読み出し用共通データ線を回路の電源電圧のようなハイレベルにプリチャージする上記スタティック型RAM等に適用する。これにより、上記スタティック型RAM等のデータ線の単一化を推進することができる。

【0156】(14) 上記(13)項において、センスアンプのセンス回路を、実績のある電流ミラー型増幅回路により構成する。また、上記センス回路の非反転出力ノードを、出力インバータ回路の入力端子に結合し、上記非反転出力ノードと回路の電源電圧との間に、プリセットMOSFETを設ける。これにより、センスアンプの動作を安定化できるとともに、センスアンプが非動作状態とされるときその出力レベルを確定できる。

【0157】(15) 上記(14)項のセンスアンプにおいて、センス回路の非反転入力ノードすなわち読み出し用共通データ線と回路の電源電圧との間に、比較的小さなコンダクタンスを持つように設計され、かつ選択されたメモリセルの保持データが論理“0”であるとき、言い換えると読み出しデータ線が対応する読み出し用MOSFETによってディスチャージされないとき、選択的にオン状態とされるMOSFETを設ける。これにより、選択されたメモリセルの保持データの如何にかかわらず、読み出し用共通でと基準電位との間のレベル差を

確保できるため、センスアンプの動作を安定化できる。

【0158】(16) 上記(15)項のセンスアンプにおいて、センス回路の非反転入力ノードすなわち読み出し用共通データ線と回路の接地電位との間に、読み出し用データ線及び読み出し用共通データ線の寄生容量値の差に相当する静電容量値を有する容量手段を付加する。これにより、選択された読み出し用データ線及び読み出し共通データ線のプリチャージシエア終了後のレベルを、ほぼ回路の電源電圧の二分の一すなわちセンス回路の最適バイアスレベルとし、その動作を安定化できる。

【0159】(17) 上記(15)項のセンスアンプにおいて、センス回路の非反転入力ノードすなわち読み出し用共通データ線と回路の電源電圧との間に設けられるプリチャージMOSFETを、選択された読み出し用データ線及び読み出し用共通データ線によるチャージシエアが終了した後も、さらに所定の期間だけオン状態とする。これにより、比較的大きいレイアウト面積が必要な容量手段を設けることなく、読み出し用共通データ線のチャージシエア終了後のレベルを所定レベルまで押し上げ、センス回路に対して効率的なバイアス電圧を与えることができる。

【0160】(18) 上記(15)項のセンスアンプにおいて、センス回路の前段に、読み出し用共通データ線の直流レベルを高くして伝達する第1のレベルシフト回路を設け、上記第1の短絡手段を、レベルシフト回路の非反転及び反転入力ノード間に設ける。これにより、比較的大きいレイアウト面積が必要な容量手段を設けることなく、またプリチャージMOSFETのオフタイミングに注意を払うことなく、センス回路に対して効率的なバイアス電圧を与えることができる。

【0161】(19) 上記(15)項のセンスアンプにおいて、読み出し用データ線及び読み出し用共通データ線をともに回路の電源電圧のようなハイレベルにプリチャージし、また上記センス回路の前段に、読み出し用共通データ線の直流レベルを低くして伝達する第2のレベルシフト回路を設ける。これにより、比較的大きいレイアウト面積が必要な容量手段を設けることなく、またプリチャージMOSFETのオフタイミングに注意を払うことなく、センス回路に対して効率的なバイアス電圧を与えることができる。

【0162】(20) 電流ミラー型増幅回路からなり駆動MOSFETを介して選択的に動作状態とされるセンス回路を含み、かつ上記センス回路の非反転出力ノードと回路の電源電圧との間に設けられるプリセットMOSFETを含むセンスアンプにおいて、上記センス回路の非反転及び反転出力ノード間に、センス回路が動作状態とされてから所定の期間だけ伝達状態とされる第2の短絡手段を設ける。これにより、上記プリセットMOSFETが設けられることによって生じるセンスかいオフセットを解消し、その動作を安定化できる。

【0163】さらに、上記(1)項ないし(20)項の作用効果により、スタティック型RAMを含む大規模論理集積回路装置等の動作を安定化しつつ、そのチップ面積を縮小し、その低消費電力化及び低コスト化を図ることができる。

【0164】以上発明者によってなされた発明を実施例に基づき具体的に説明したが、この発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、図1において、スタティック型RAMは、同図のメモリアレイMARYに代表されるような複数のメモリアレイを含むものであってもよいし、複数ビットの記憶データを同時に入出力するいわゆる多ビット構成のRAMであってもよい。

【0165】また、メモリアレイMARYを構成するメモリセルは、各インバータ回路のPチャンネルMOSFETを高抵抗に置き換えたいわゆる高抵抗負荷型のスタティック型メモリセルであってもよい。カラムスイッチCSWを構成するスイッチMOSFETは、データ線及び共通データ線のプリチャージレベルあるいは信号レベルに応じて、PチャンネルMOSFET又はNチャンネルMOSFETのいずれか一方のみで構成してもよい。

【0166】図1の実施例では、メモリセルのラッチの一对の入出力ノードを出力ノード及び入力ノードとして専用化しているが、ラッチのいずれかの入出力ノードを上記入力ノード及び出力ノードとして兼用してもよい。この場合、ライトアンプWAから供給される書き込み信号の論理条件を、反転させる必要がある。図2において、MOSFETQ8は、センスアンプSAが非動作状態とされるとき読み出し用共通データ線をプリチャージする作用と、読み出し用共通データ線等のチャージシエア後のレベルVsを補正する作用とを兼ね備えるが、用途ごとに別途のMOSFETを設け、それぞれ最適タイミングでオン状態としてもよい。

【0167】相補スイッチMOSFETQ13・Q48及びQ14・Q49等は、PチャンネルMOSFET又はNチャンネルMOSFETのいずれか一方のみであってもよい。タイミング信号φr1及びφr3ならびに反転タイミング信号φr2及びφr4を形成するためのインバータ回路N12ないしN15は、それぞれ必要に応じて複数段のインバータ回路に置き換えてもよい。

【0168】図3において、書き込み用及び読み出し用XアドレスデコーダXADW及びXADRならびに書き込み用及び読み出し用YアドレスデコーダYADW及びYADRは、それぞれメモリアレイMARYをはさんで両側に配置してもよい。また、データ入力バッファDIB及びデータ出力バッファDOBは、省略してもよい。各実施例において、MOSFETは、多種のMISFETに置き換えてもよい。

【0169】また、特許請求の範囲第1項ないし第20

項に記載される発明は、種々の組み合わせをもって適用することができる。例えば、図6に示されるメモリアレイMARYの第3の実施例に、特許請求の範囲第10項記載の発明を追加適用することで、図11に示されるメモリアレイMARYの第8の実施例を得ることができる。また、図7に示されるメモリアレイMARYの第4の実施例に、特許請求の範囲第2項記載の発明を追加適用することで、図10に示されるメモリアレイMARYの第7の実施例を得ることができる。同様に、図9に示されるメモリアレイMARYの第6の実施例に、特許請求の範囲第10項記載の発明を追加適用することで、図12に示されるメモリアレイMARYの第9の実施例を得ることができる。

【0170】さらに、図2に示されるセンスアンプSAの第1の実施例から、特許請求の範囲第20項記載の発明を削除することで、図16に示されるセンスアンプSAの第3の実施例を得ることができる。この特許請求の範囲第20項記載の発明は、図15及び図17ならびに図18に示されるセンスアンプSAの実施例にも、追加して適用できる。

【0171】各実施例において、同様に発明の部分的な追加あるいは削除が可能であり、その組み合わせによって多の複数の実施例が得られる。各回路図において、例えば、回路の電源電圧を接地電位に置き換え同時に回路の接地電位を負の電源電圧に置き換える等、電源電圧の組み合わせに応じて、PチャンネルMOSFET及びNチャンネルMOSFETを置き換えることもできる。図1及び図2ならびに図5ないし第23図に示される各回路の具体的な構成や、図3に示されるスタティック型RAMのブロック構成ならびに図4に示される制御信号及びアドレス信号の組み合わせ等、種々の実施例形態を採りうる。

【0172】以上の発明では主として本発明者によってなされた発明をその背景となった利用分野である大規模論理集積回路装置に搭載されるスタティック型RAMに適用した場合について説明したが、それに限定されるものではなく、例えば、メモリアレイに関する各発明は、スタティック型RAMとして単体で用いられるものやその他のデジタル装置に搭載されるスタティック型RAMもしくはバイポーラ・CMOS型RAM等にも適用できるし、シングルエンド型センスアンプは、さらにリードオンリーメモリ等の各種半導体記憶装置にも適用できる。本発明は、少なくともスタティック型メモリセルを基本構成としあるいはシングルエンド型センスアンプを必要とする半導体記憶装置ならびにこのような半導体記憶装置を内蔵するデジタル集積回路装置に広く利用できる。

【0173】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下

記の通りである。すなわち、スタティック型RAM等のメモリアレイを構成するデータ線を単一化し、これらのデータ線が選択的に接続されるセンスアンプをシングルエンド型とする。また、上記メモリアレイをいわゆる単一選択型とし、データ線を隣接する2列のメモリセルで共有するとともに、行選択用の制御MOSFETを隣接する列に配置される2個のメモリセルで共有する。さらに、シングルエンド型センスアンプを、電流ミラー型のセンス回路を基本に構成し、その非反転入力ノードすなわち入力信号線と反転入力ノードとの間に、読み出し信号等が出力される直前の直流レベルを伝達する短絡手段を設ける。

【0174】これにより、スタティック型RAMの読み出し電流を削減しつつ、メモリアレイの列あたりの所要信号線数を削減し、メモリセルあたりの所要MOSFET数を削減できる。また、そのデータ線が単一化されるスタティック型RAM等に適合しかつ安定動作しうるシングルエンド型センスアンプを実現し、スタティック型RAM等のデータ線の単一化を推進することができる。その結果、スタティック型RAM等の低消費電力化及びレイアウト所要面積の縮小を図り、スタティック型RAM等を搭載する大規模集積回路装置等の低消費電力化及び低コスト化を図ることができる。

【図面の簡単な説明】

【図1】この発明が適用されたスタティック型RAMのメモリアレイ及びその周辺回路の一実施例を示す回路図である。

【図2】この発明が適用されたスタティック型RAMのセンスアンプ及びライトアンプの一実施例を示す回路図である。

【図3】図1のメモリアレイ及び図2のセンスアンプ及びライトアンプを含むスタティック型RAMの一実施例を示すブロック図である。

【図4】図3のスタティック型RAMの読み出し動作の一実施例を示すタイミング図である。

【図5】この発明が適用されたスタティック型RAMのメモリアレイの第2の実施例を示す部分的な回路図である。

【図6】この発明が適用されたスタティック型RAMのメモリアレイの第3の実施例を示す部分的な回路図である。

【図7】この発明が適用されたスタティック型RAMのメモリアレイの第4の実施例を示す部分的な回路図である。

【図8】この発明が適用されたスタティック型RAMのメモリアレイの第5の実施例を示す部分的な回路図である。

【図9】この発明が適用されたスタティック型RAMのメモリアレイの第6の実施例を示す部分的な回路図である。

【図10】この発明が適用されたスタティック型RAMのメモリアレイの第7の実施例を示す部分的な回路図である。

【図11】この発明が適用されたスタティック型RAMのメモリアレイの第8の実施例を示す部分的な回路図である。

【図12】この発明が適用されたスタティック型RAMのメモリアレイの第9の実施例を示す部分的な回路図である。

【図13】この発明が適用されたスタティック型RAMのメモリアレイの第10の実施例を示す部分的な回路図である。

【図14】この発明が適用されたスタティック型RAMのメモリアレイの第11の実施例を示す部分的な回路図である。

【図15】この発明が適用されたスタティック型RAMのセンスアンプの第2の実施例を示す回路図である。

【図16】この発明が適用されたスタティック型RAMのセンスアンプの第3の実施例を示す回路図である。

【図17】この発明が適用されたスタティック型RAMのセンスアンプの第4の実施例を示す回路図である。

【図18】この発明が適用されたスタティック型RAMのセンスアンプの第5の実施例を示す回路図である。

【図19】共通選択方式を採用する従来の1ポートスタティック型RAMのメモリアレイの一例を示す部分的な回路図である。

【図20】単一選択方式を採用する従来の1ポートスタティック型RAMのメモリアレイの一例を示す部分的な回路図である。

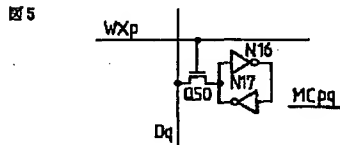
【図21】共通選択方式を採用する従来の2ポートスタティック型RAMのメモリアレイの一例を示す部分的な回路図である。

【図22】単一選択方式を採用する従来の2ポートスタティック型RAMのメモリアレイの一例を示す部分的な回路図である。

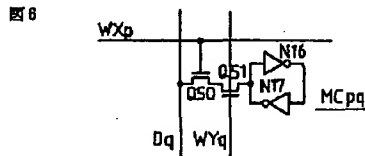
【符号の説明】

MARY・・・メモリアレイ、MC00～MCmn・・・スタティック型メモリセル、CSW・・・カラムスイッチ、SA・・・センスアンプ、LS1、LS2・・・レベルシフト回路、SC・・・センス回路、WA・・・ライトアンプ、ABW・・・書き込み用アドレスバッファ、ABR・・・読み出し用アドレスバッファ、XADW・・・書き込み用Xアドレスデコーダ、XADR・・・読み出し用Xアドレスデコーダ、YADW・・・書き込み用Yアドレスデコーダ、YADR・・・読み出し用Yアドレスデコーダ、DIB・・・データ入力バッファ、DOB・・・データ出力バッファ、TG・・・タイミング発生回路、Q1～Q22・・・PチャンネルMOSFET、Q31～Q101・・・NチャンネルMOSFET、N1～N32・・・CMOSインバータ回路、NAG1・・・ナンドゲート回路、NOG1・・・ノアゲート回路。

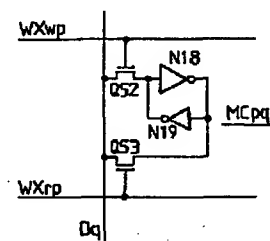
【図5】



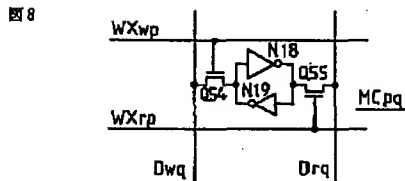
【図6】



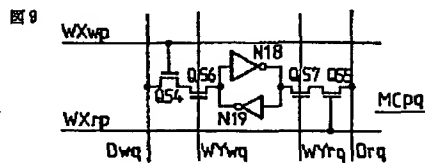
【図7】



【図8】



【図9】



【図10】

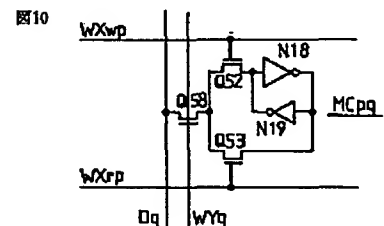
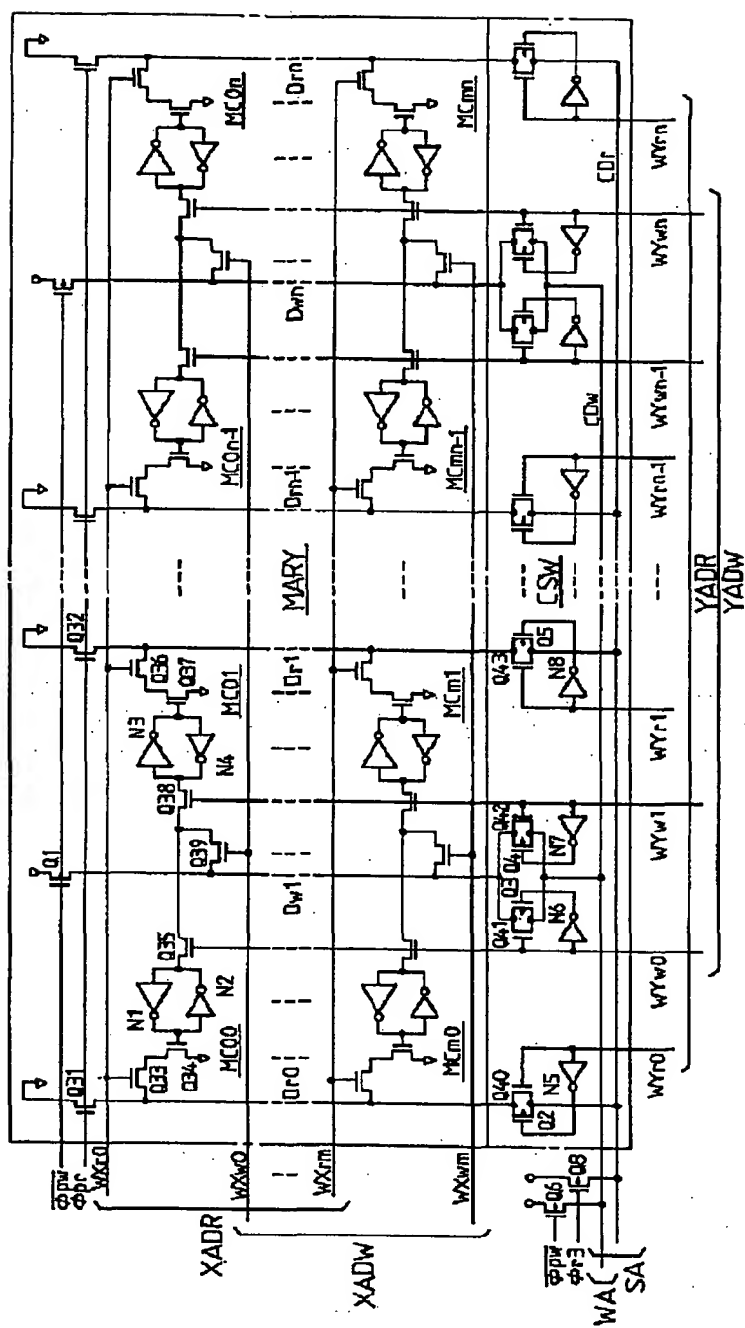
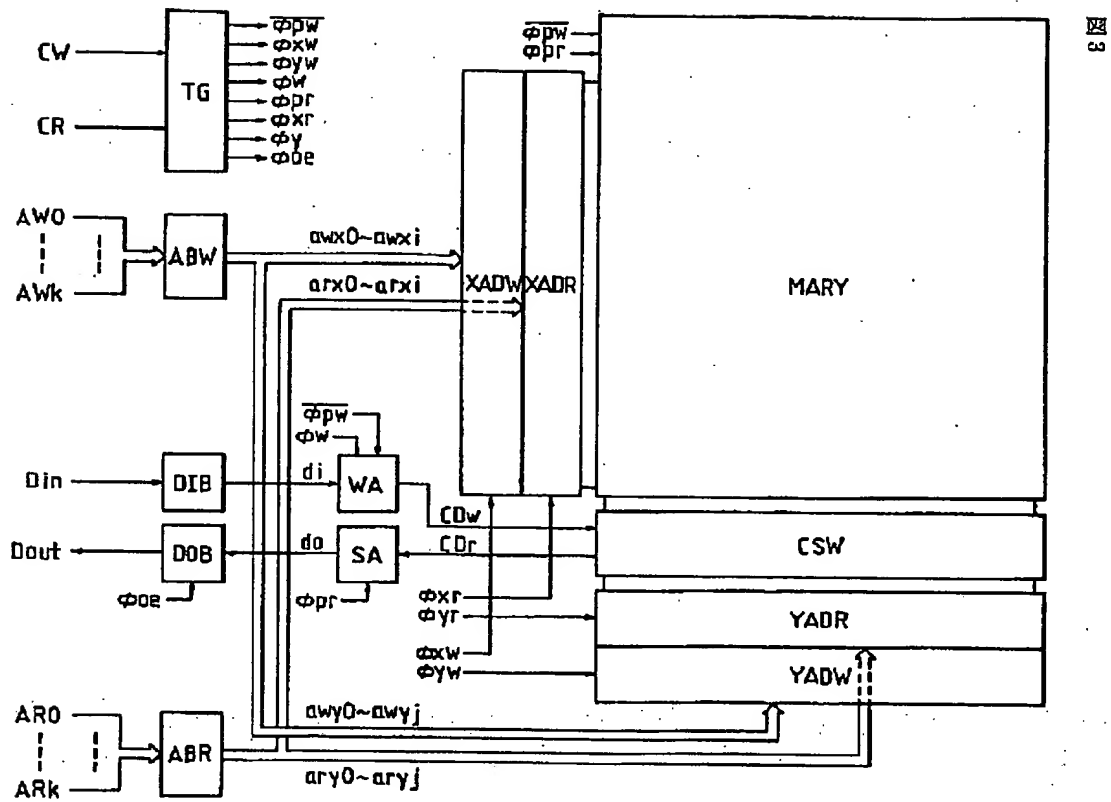


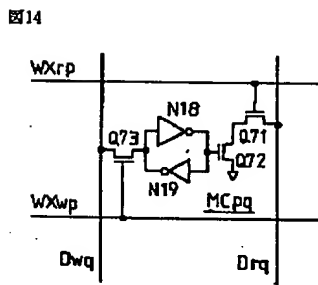
图 1



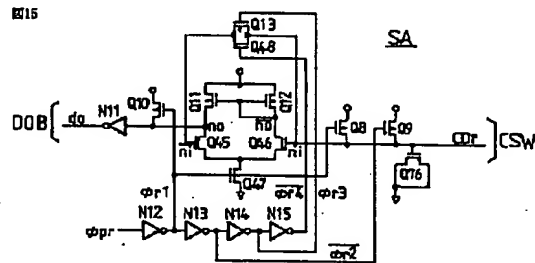
【図 3】



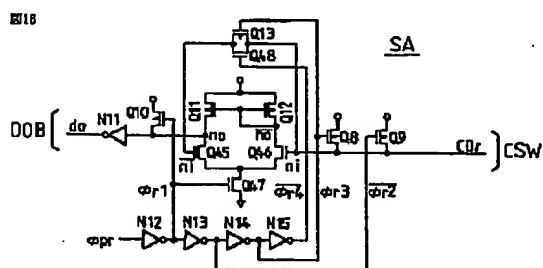
【图 14】



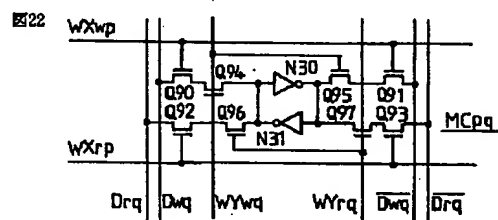
【图 15】



【図 16】

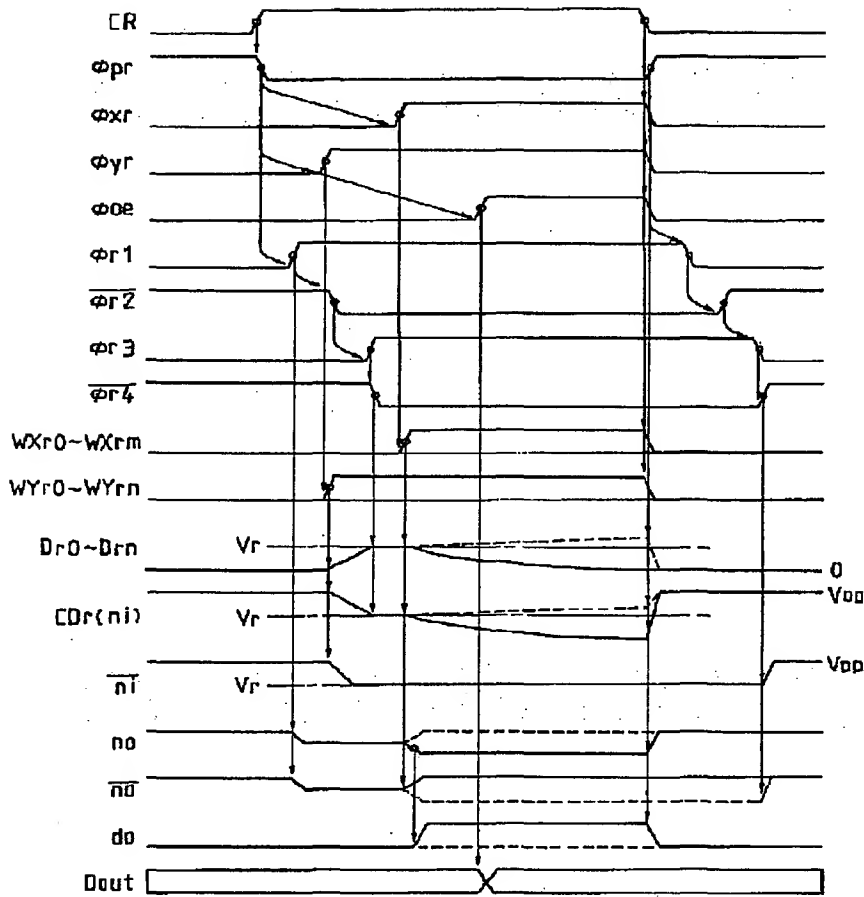


【图 2 2】

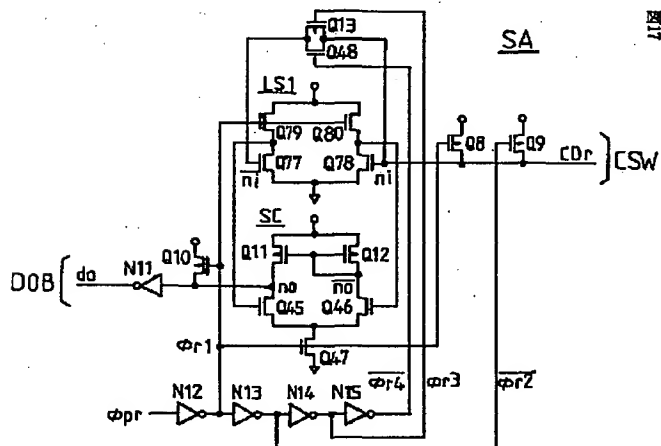


【図4】

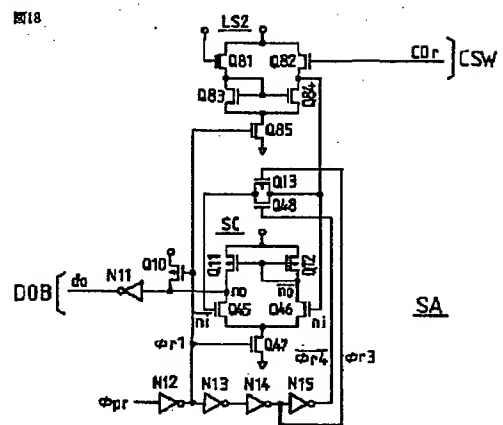
図4



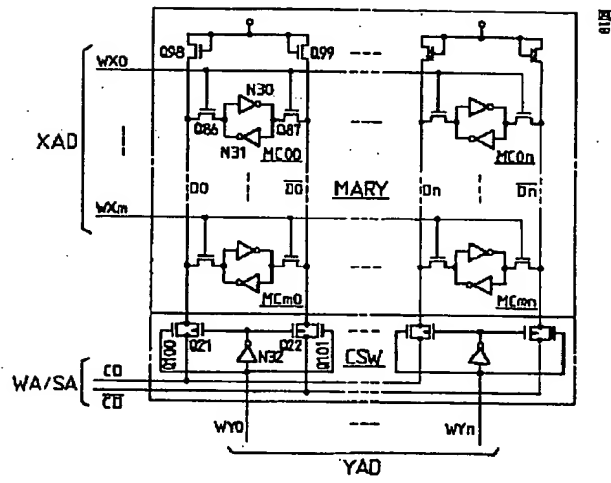
【図17】



【図18】



【図 19】



フロントページの続き

(72)発明者 水上 雅雄

東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内